

LỜI NÓI ĐẦU

Cùng với các mô đun của ngành Điện tử công nghiệp, mô đun Vi mạch số lập trình là mô đun kỹ thuật chuyên ngành quan trọng của ngành điện tử, hiện nay mô đun được ứng dụng rộng rãi trong ngành kỹ thuật và các lĩnh vực điều khiển khác.

Mô đun được ứng dụng cho tất cả sinh viên ngành Điện tử công nghiệp của trường ta. Bởi vậy để tạo điều kiện cho việc học tập và nghiên cứu mô đun của học viên được thuận lợi trong quá trình học tập. Bộ môn Điện tử thuộc Khoa Điện – Điện tử - Điện lạnh Trường cao đẳng nghề số 20/QK3 tổ chức biên soạn tài liệu: “ ***Vi mạch số lập trình*** ” làm bài giảng lưu hành hội bộ. Trong quá trình biên soạn chắc chắn sẽ không tránh khỏi những thiếu sót, bởi vậy tôi mong nhận được sự thông cảm và góp ý chân thành của các bạn đồng nghiệp để cho giáo trình ngày càng hoàn thiện hơn.
Xin chân thành cảm ơn!

MỤC LỤC

LỜI NÓI ĐẦU	3
BÀI 1: GIỚI THIỆU CHUNG VỀ PLDs	6
1. Lịch sử phát triển	6
2. Cấu trúc cơ bản của PLD	11
2.1 Họ vi mạch PROM	12
2.2 Họ vi mạch FPLA (Field Programmable Logic Array)	14
2.3 Họ vi mạch FPLS (Field Programmable Logic Sequencer)	15
2.4 Họ vi mạch FPGA (Field Programmable Gate Array)	16
2.5 Họ vi mạch PAL (Programmable Array Logic)	17
2.6 Họ vi mạch GAL (Generic Array Logic)	19
2.7 Họ vi mạch PEEL (Programmable Electrically Erasable Logic)	20
2.8 Họ vi mạch PML (Programmable Macro Logic)	22
2.9 Họ vi mạch ERASIC(Erasable Programmable Application Specific IC)	23
2.10 Họ vi mạch LCA (Logic Cell Array)	23
3. Phần mềm hỗ trợ PLD	25
3.1 Phần mềm PALASM 2 (PAL Assembler)	25
3.2 Phần mềm AMAZE	25
3.3 Phần mềm PLAN (Programmable Logic Analysis)	26
3.4 Phần mềm HELD (Harris Enhanced Language for Programmable Logic)	26
3.5 Phần mềm PLPL (Programmable Logic Programming Language)	26
3.6 Phần mềm APEEL (Assembler for Programmable Electrically Erasable Logic)	26
3.7 Phần mềm IPLDS II (Intel Programmable Logic Development System II)	27
3.8 Phần mềm CUPL (Universal Compiler for Programmable Logic)	27
3.9 Phần mềm ABEL (Advanced Boolean Expression Language)	27
BÀI 2: MẢNG LOGIC LẬP TRÌNH	28
1. Giới thiệu chung	28
2. PLA và PAL	28
3. Các ví dụ thiết kế	34
3.1 Bộ chuyển mã BCD sang Gray	34

3.2 Bộ so sánh hai bit	36
4. Các mảng logic lập trình thông dụng	38
4.1 GAL16V8C	38
4.1.1 Ngõ ra OLMC	41
4.1.2 Trình dịch hỗ trợ OLMC	41
4.1.3 Chế độ thanh ghi	42
4.1.4 Chế độ complex	44
4.1.5 Chế độ simple	46
4.2. ispGAL22V10	50
4.2.1 OLMC	52
4.2.2 Cấu hình OLMC	53
BÀI 3: NGÔN NGỮ ABEL	59
1. Giới thiệu	59
2. Cấu trúc File nguồn Abel	59
3. Các mô tả	62
4. Số	62
5. Các chỉ dẫn	63
5.1 @ALTERNATE	63
5.2 @STANDARD	63
6. Tập hợp	64
6.1 Chỉ số hoặc truy xuất một tập hợp	64
6.2 Các toán tử trên tập hợp	66
7. Toán tử	66
7.1 Toán tử logic	67
7.2 Toán tử số học	67
7.3 Toán tử so sánh	68
7.4 Toán tử gán	68
7.5 Thứ tự ưu tiên	69
8. Mô tả logic	69
8.1 Phương trình	70
8.2 bảng sự thật	72
8.2 bảng sự thật	76

8.3 Mô tả trạng thái	77
8.4 Dấu chấm (.)	78
8.5 Các véc tơ thử	78
8.6 Các câu lệnh thuộc tính	79
9. Chương trình mẫu	84
BÀI 4: HỌ CPLD	84
1. Giới thiệu chung	84
2. Vi mạch ispLSI 1016	84
2.1 Đặc tính	85
2.2 Mô tả	87
2.3 Thông số giới hạn	87
2.4 Điều kiện hoạt động DC	88
2.5 Điện dung ($T_A = 25^{\circ}\text{C}$, $f = 1\text{ MHz}$)	88
2.6 Đặc tính lưu trữ dữ liệu	88
2.7 Điều kiện thử chuyển mạch	88
2.8 Đặc tính điện DC	89
2.9 Mô hình thời gian ispLSI 1016	89
2.10 Thời gian trì hoãn tối đa của GRB với tải GLB	90
2.11 Công suất tiêu thụ	90
2.12 Sơ đồ chân	91
2.13 Ý nghĩa tên linh kiện	91
BÀI 5: PHẦN MỀM ISP SYNARIO	92
1. Giới thiệu	92
2. Yêu cầu hệ thống	92
3. Khởi động Synario	93
4. Nhập Modul VHDL vào dự án	96
5. Nhập sơ đồ mạch vào dự án	98
6. Hoàn tất thiết kế	101
7. Nhập thuộc tính	102
8. Tạo véc tơ thử	104
9. Biên dịch File VHDL, sơ đồ và véc tơ thử	106
10. Mô phỏng chức năng và dạng sóng ra	107

11. Tạo một ký hiệu	108
12. Thích ứng thiết kế với thiết bị của Lattice Semiconductor	109
13. Chế độ nhập hỗn hợp	111
14. Tạo File nguồn Abel – HDL	116
15. Biên dịch Abel – HDL	118
16. Mô phỏng kết quả thiết kế	119
17. Thích ứng thiết kế với thiết bị Lattice	121
TÀI LIỆU THAM KHẢO	123

BÀI 1: GIỚI THIỆU CHUNG VỀ PLDs

1. LỊCH SỬ PHÁT TRIỂN

Trước thời kỳ vi mạch số lập trình (Programmable Logic Device) ra đời, thiết kế logic số truyền thống thường dùng nhiều vi mạch TTL loại MSI và SSI kết hợp lại để tạo ra các hàm logic mong muốn. Những nhà thiết kế dựa vào những sách tra cứu các vi mạch số để tìm hiểu chức năng và các thông số kỹ thuật, sau đó mới quyết định sử dụng các vi mạch số cần thiết cho yêu cầu thiết kế của họ. Điều bất lợi của việc thiết kế này là sử dụng nhiều vi mạch dẫn đến nhiều khuyết điểm như: Kích thước board mạch lớn, công suất tiêu thụ cao, dễ hư hỏng, thi công khó khăn, tốn kém...Nói chung là không kinh tế nhất là với những yêu cầu điều khiển phức tạp.

Vào năm 1975, công ty SIGNETICS đã giới thiệu vi mạch số lập trình không có bộ nhớ đầu tiên 82S100 (hiện nay là PLS100) gọi là mảng logic lập trình trường (Field- Programmable Logic Array). Napoleon Cavlan, người được gọi là cha đẻ của mạch logic lập trình, lúc bấy giờ là nhà quản lý những ứng dụng PLA của Signetics đã thực sự hiểu rằng sử dụng PLA là phương pháp tốt hơn để thiết kế và thay đổi hệ thống số. Trong khi đó, công ty Harris đã sớm giới thiệu PROM, họ trình bày triển vọng của PROM và đã ứng dụng vào trong một số mạch logic.

Công ty National Semiconductor đã chế tạo mặt nạ lập trình cho PLA, cấu tạo của nó gồm một mảng AND lập trình kèm với mảng OR lập trình, cho phép thực hiện tổ hợp tổng các tích số của hàm logic tiêu chuẩn. Bằng cách kết hợp công nghệ PROM sử dụng nguyên tắc cầu chì với khái niệm PLA, Cavlan đã thuyết phục được các nhà quản lý công ty Signetics để đưa dự án PLAvào sản xuất.

Vi mạch PLA đầu tiên 82S100, là thành viên đầu tiên của họ vi mạch IFL (Intergrated Fuse Logic) có hình dạng 28 chân. Cấu trúc của PLA gồm một mảng AND lập trình và một mảng OR lập trình, nó cho phép thực hiện tổ hợp logic tổng của các tích số đơn giản.

Kỹ sư John Martin Birkner là một người quan tâm đến PLA, vì ông ấy hiểu rằng nhiều phương pháp thiết kế logic được học trong trường thì

không áp dụng được nhiều trong công việc hiện tại. Do đó, vào năm 1975 ông ấy đã rời thung lũng Silicon để đến công ty Monolithic Memories (MMI), đây là công ty chế tạo PROM và các vi mạch logic tiêu chuẩn. Vì vậy, Birkner có điều kiện hơn trong việc tìm hiểu PLA và công nhận những ưu điểm của mạch logic lập trình nhưng đồng thời ông cũng nhận ra khuyết điểm của PLA là có hai mảng lập trình. Sau đó, Birkner đã đưa ra khái niệm mới về vi mạch số lập trình, vi mạch này cũng tương tự FLA nhưng thay vì có hai mảng lập trình thì PAL (Programmable Array Logic) chỉ có một mảng AND lập trình và theo sau là mảng OR được giữ cố định (không lập trình). Như vậy mỗi cổng OR sẽ có một tích số cố định được nối với ngõ vào của nó, do vậy sẽ giảm được kích thước của vi mạch và cho phép tín hiệu được truyền nhanh hơn trong khi vẫn cho phép thực hiện các tổ hợp logic. PAL được đóng vỏ 20 chân. Sau một thời gian thuyết phục các nhà quản lý của công ty MMI thấy rõ những lợi điểm của PAL và đồng ý sản xuất. Vi mạch đầu tiên thuộc họ PAL được phổ biến là PAL 16L8, PAL 16R4, PAL 16R6, PAL 16R8. Các vi mạch này có thời gian truyền trì hoãn 35ns. Mỗi vi mạch có 8 ngõ ra và 16 ngõ vào, trong đó ký tự L trong ký hiệu của vi mạch biểu thị 8 tổ hợp ngõ ra tác động ở mức thấp, ký tự R cho biết có 4, 6 hay 8 thanh ghi ở ngõ ra tương ứng.

Sau một thời gian khởi đầu chậm, cuối cùng PAL đã được thiết kế trong hệ thống thực. Những công ty máy tính mini đã nhận thấy được ưu điểm của PAL là cho phép họ giảm số board cần thiết để thực hiện tốt những yêu cầu thiết kế, công ty MMI đã chọn phương pháp sản xuất PAL công đoạn mặt nạ chế tạo theo yêu cầu khách hàng. Vào lúc này MMI lại giới thiệu một họ vi mạch mới HAL (Hard Array Logic) và để sản xuất những chi tiết này cho hãng Data General and Digital Equipment. MMI đã thay đổi cách sắp xếp công đoạn mặt nạ cầu chì và thay vào đó là lớp liên kết kim loại phù hợp yêu cầu thiết kế của khách hàng. Những chi tiết này có nhiều lợi ích gồm mang lại những kết quả tốt và kiểm tra dễ dàng hơn. Đồng thời khách hàng cũng được lợi hơn bởi không phải quan tâm đến lập trình và kiểm tra các chi tiết. Điều này đã mang lại sự cải tiến về phương pháp chế tạo PAL, và được sự chấp nhận của thị trường. Vào năm 1978,

MMI đã xuất bản sách hướng dẫn PAL đầu tiên. Đó là một bước khởi đầu để PAL mở rộng thế giới của những người thiết kế mạch logic. Ngoài ra trong sách hướng dẫn còn trình bày danh sách chương trình gốc của ngôn ngữ lập trình FORTRAN cho PALASM (PAL Assembler) đó là phần mềm dành cho việc thiết kế mạch logic PAL. PALASM có thể biên soạn, định nghĩa logic cho một khuôn thức. Ngoài ra PALASM cũng có khả năng mô phỏng sự vận hành trên phương trình mạch logic theo nguyên tắc PAL. Trong việc liên kết với những nhà thiết kế để định rõ những “vector kiểm tra”, PALASM có thể là một sự thật phù hợp. Tất cả những đặc điểm của PAL bao gồm việc khắc phục những khuyết điểm của PLA kết hợp với việc thúc đẩy sử dụng PAL đã mang đến kết quả tốt đẹp. PAL đã nhanh chóng vượt qua họ vi mạch IFL của công ty Signetics và được phổ biến trên thị trường, thuật ngữ PAL đã trở nên đồng nghĩa với PLD

Trong lúc ấy, công ty Signetics tiếp tục phát triển họ IFL, và vào năm 1977 Signetics giới thiệu họ vi mạch FPGA (Field Programmable Gate Array) 82S103, vào năm 1979 là họ FPLS (Field Programmable Logic Sequencer). Họ FPGA có cấu tạo một mảng AND ở mức đơn với ngõ vào lập trình được và cực tính ngõ ra cũng vậy cho phép thực hiện các hàm logic cơ bản (AND, OR, NAND, NOR, INVERT), cấu trúc của họ FPLS có chức các FlipFlop để thực hiện các trạng thái của hàm tuần tự. Đồng thời Signetics cũng giới thiệu AMAZE (Automated Map and Zap Equations) là chương trình biên dịch để hỗ trợ cho những vi mạch của họ. Tương tự, những công ty chế tạo PLD khác đã lần lượt giới thiệu những phần mềm hỗ trợ của họ.

Cả 2 công ty Signetics và MMI tiếp tục giới thiệu những PLD mới để đáp ứng tính đa dạng theo các yêu cầu thiết kế. Vào giữa năm 1980, mạch logic lập trình đã được thừa nhận cùng với sự phát triển tính đa dạng của IFL và PAL đã có nhiều giá trị cho những người thiết kế. Mặc dù sự khởi đầu thành công của PLD, tuy nhiên chỉ một số ít các nhà thiết kế quen với việc dùng PLD, một số trường đại học đã đưa vi mạch logic lập trình vào những khóa học thiết kế của họ.

Tuy thế, kỹ thuật logic lập trình tiếp tục cải tiến và những vi mạch

phát triển ở giai đoạn thứ hai được giới thiệu vào năm 1983. Công ty Advance Micro Devices (AMD) đã giới thiệu PAL22V10 với những đặc điểm đặc biệt là sự linh động của những cổng PLD ở 10 ngõ vào. Mỗi cổng PLD có khả năng tổ hợp hoặc với thanh ghi ở ngõ ra hoặc một ngõ vào. Cổng đệm ngõ ra ba trạng thái được điều khiển bởi một tích số riêng cho phép vận hành hai chiều. Tất cả thanh ghi đều được reset tự động trong quá trình tắt hay mở và mỗi thanh ghi có khả năng “đặt trước”, đó là đặc điểm đặc biệt cho việc kiểm tra sau này.

Với những vi mạch mới, được giới thiệu thường xuyên trên thị trường đã dẫn đến việc cần thiết phải có một phần mềm hỗ trợ trong quá trình sử dụng PLD để đạt hiệu quả cao. Bob Osann đã nhận thấy được sự cần thiết của một chương trình biên dịch PLD vận năng dùng cho tất cả PLD của những công ty chế tạo khác nhau.

Vào tháng 9/1983, Công ty Assisted Technology đã đưa ra phiên bản 1.01a của chương trình biên dịch PLD có tên là CUPL(Universal Compiler for Programmable). Chương trình này hỗ trợ cho 29 loại vi mạch, sự ra đời của CUPL đã gây được sự chú ý của nhiều công ty chế tạo. Công ty Data I/O, nhà chế tạo các vi mạch lập trình lớn nhất trên thế giới (EPROM, PROM, PLD), đã quyết định phát triển phần mềm hỗ trợ cho riêng họ. Năm 1984, Data I/O giới thiệu ABEL (Advanced Boolean Expression Language), đó là chương trình biên dịch PLD có đặc điểm tương tự như CUPL nhưng nó được đầu tư tiếp thị nên được các nhà thiết kế chấp nhận. Vì vậy, ABEL đã sớm theo kịp CUPL trên thị trường.

Sự ra đời của chương trình biên dịch vận năng cho PLD đã thúc đẩy nền công nghiệp thiết kế số sẵn sàng cho việc áp dụng PLD cho những thiết kế mới. Những chương trình biên dịch vận năng này đã được cải tiến hơn so với các chương trình biên dịch PALASM và AMAZE, nó được cung cấp cho các nhà thiết kế để thực hiện các mạch logic và mô phỏng những thiết bị. Đó là những đặc điểm tiêu chuẩn của hai bộ biên dịch vận năng CUPL và ABAL. JEDEC (the Joint Electron Device Engineering Council) dự định sản xuất một bộ biên dịch PLD tạo ra một tiêu chuẩn để sử dụng cho tất cả các công ty chế tạo PLD hiện nay và tương lai. Vào 10/1983, the JEDEC

Solid State Products Engineering Council đưa ra tiêu chuẩn JEDEC thứ 3“. Tiêu chuẩn khuôn thức chuyển đổi giữa hệ thống tạo dữ liệu và thiết bị lập trình cho PLD”. Tháng 5/1986, JEDEC tiếp tục đưa ra tiêu chuẩn 3-A, tiêu chuẩn này trở thành tiêu chuẩn chung cho công nghiệp PLD.

Tháng 7/1984, công ty Altera giới thiệu EP300. Đó là vi mạch sử dụng công nghệ CMOS của EPROM, nó có đặc tính là công suất tiêu thụ thấp, có thể xóa được (dùng tia cực tím) cùng một số đặc tính mở rộng khác. Năm 1985, một họ PLD mới được công ty Lattice Semiconductor giới thiệu là GAL (Generic Array Logic). Lattice dùng công nghệ CMOS của EEPROM, có các đặc tính kỹ thuật như công suất thấp, có thể lập trình nhiều lần (xóa bằng điện áp với thời gian xóa khoảng vài giây). Vi mạch đầu tiên của họ GAL được kí hiệu là GAL16V8 có khả năng thay thế hoạt động của PAL (đối với vi mạch cùng loại).

Ngày càng nhiều công ty tham gia vào thị trường PLD để tạo ra những vi mạch đặc biệt và sử dụng nhiều công nghệ chế tạo khác nhau. Vào năm 1985, công ty Xilen tạo ra một họ mới là LCA (Logic Call Array). Cấu trúc của LCA có 3 đoạn: một ma trận của khối logic được bao quanh là khối vào ra và một mạng đường dữ liệu nối gián tiếp. Đặc biệt của LCA là PLD đầu tiên sử dụng tế bào RAM động cho chức năng logic. Ưu điểm của cấu trúc này là khách hàng có thể kiểm tra được chương trình của vi mạch, do bản chất dễ xóa của LCA, nên cần phải lưu trữ cấu hình của LCA ở bộ nhớ ngoài. Vì vậy, LCA không được sử dụng ở những trường hợp đòi hỏi sự hoạt động ngay lập tức khi khởi động máy. Đi kèm với LCA là chương trình soạn thảo XACT và bộ mô phỏng giúp cho việc sửa lỗi cho những thiết kế trên LCA được thuận tiện.

Năm 1985, công ty Signetics với một khái niệm mới là PML (Programmable Macro Logic). Vi mạch PML đầu tiên của Signetics PMLS 501, vi mạch này sử dụng công nghệ lưỡng cực, và được đóng vỏ 52 chân .

Vào năm 1986, công ty ExMicroelectronic giới thiệu họ ERASIC (Erasable Application Specific 7C) sử dụng công nghệ EEPROM CMOS. Vi mạch đầu tiên là XL78C00 có dạng 24 chân và điều đặc biệt là XL78C00 có thể thay thế chức năng cho PAL và EPLA cùng loại (không

tính đến tốc độ), đi kèm là một phần mềm hỗ trợ ERASIC.

Vào năm 1986, công ty Signetics quyết định thay đổi họ IFL thành họ PLS (Programmable Logic From Signetics). Ví dụ như từ 82S100 thành PLS100, từ 82S157 thành PLS157. Sau đó 2 năm, công ty Actel đã cải tiến khuyết điểm họ LCA là vi mạch có thể hoạt động không nhất thiết phải có bộ nhớ ngoài. Đồng thời công ty Gazelle Microcircuit đã công bố phát minh công nghệ GaAs (Gallium Arsenide). Đặc điểm của công nghệ này là cải tiến tốc độ, công suất của các vi mạch trên nền tảng là công nghệ silicon, cho phép vi mạch làm việc với tốc độ nhanh hơn công suất tiêu tán khi ở mức trung bình.

Ứng dụng đầu tiên của công nghệ GaAs được công ty Gazelle đưa ra là phiên bản của PAL 22V10. Ưu điểm của mạch này là cho phép vi mạch GaAs có thể tương hợp với các vi mạch TTL, do đó công nghệ GaAs đã được ứng dụng rộng rãi. Sau một thời gian cải tiến không ngừng, những PLD thế hệ sau đã được ứng dụng rộng rãi trong kỹ thuật phần cứng, nó trở thành công cụ cần thiết cho những kỹ sư thiết kế.

Sự phát triển trong công nghiệp PLD nói riêng và với công nghiệp bán dẫn nói chung đã tạo nên sự cạnh tranh của các công ty chế tạo PLD trên thế giới. Do đó, đã có nhiều xung đột xảy ra giữa các công ty trong việc cạnh tranh thị trường.

Vào năm 1986 công ty MMI đã kiện hai công ty Altera và Lattice vì đã vi phạm bản quyền PAL. Kết quả là hai công ty này đã chấp nhận thua kiện và phải mua bản quyền. Sau đó công ty MMI mua cổ phần trong công ty Xilinx và sở hữu bản quyền họ LCA. Sau đó 1 năm công ty MMI hợp với AMD trở thành một tập đoàn sản xuất các linh kiện bán dẫn hàng đầu trên thế giới. Tuy đã hợp nhất hai công ty nhưng họ vẫn tiếp tục phát triển các họ vi mạch hiện có vì những họ PLD này đã trở nên phổ biến trên thị trường. Vào năm 1987, công ty National Semiconductor đã mua lại công ty Fairchild và tiếp tục phát triển họ PAL FASTPLA trên thị trường.

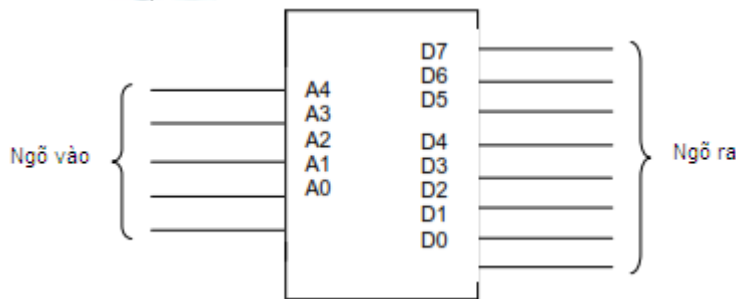
2. CẤU TRÚC CƠ BẢN CỦA PLD

Vi mạch số lập trình trải qua thời gian dài phát triển và cải tiến đã thực sự mở ra một hướng đi mới cho những nhà thiết kế. Ưu điểm của PLD

là giải quyết được vô số những vấn đề thiết kế nhờ vào nhiều họ PLD khác nhau. Những họ vi mạch này có cấu trúc và công nghệ chế tạo khác nhau, do đó chúng có những đặc điểm riêng để ứng dụng vào nhiều lĩnh vực trong công nghiệp. Mặc khác người thiết kế còn quan tâm đến các thông số kỹ thuật của vi mạch như tốc độ, công suất tiêu thụ, nguồn cung cấp và công cụ hỗ trợ để lập trình.

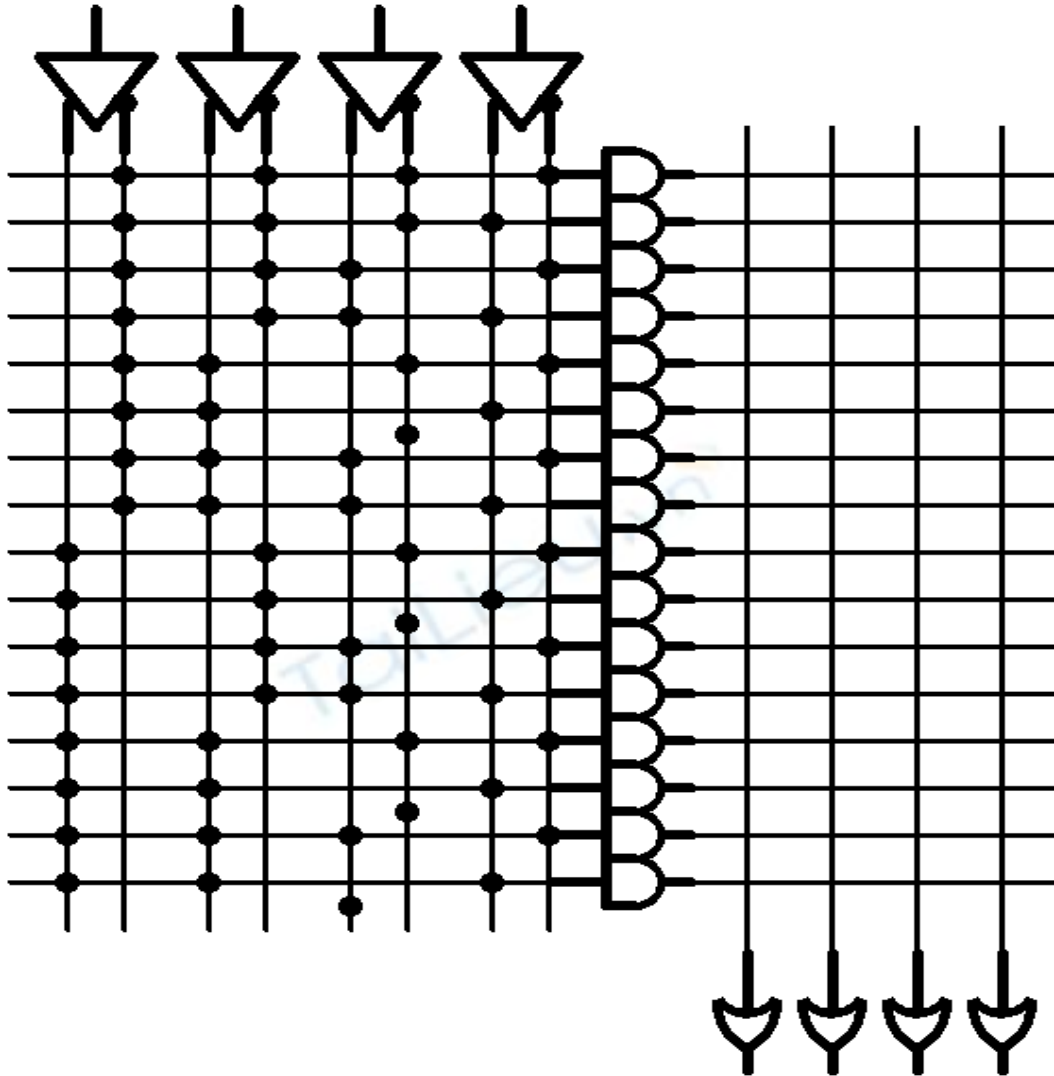
2.1 Họ vi mạch PROM

PROM gọi là bộ nhớ chỉ đọc lập trình được. Đây là họ vi mạch đầu tiên được sử dụng như là những vi mạch số lập trình theo quan điểm của vi mạch số. Cấu trúc của PROM rất đơn giản bao gồm một mảng tế bào nhớ với những đường địa chỉ ngõ vào và những đường dữ liệu ngõ ra. Số đường địa chỉ và dữ liệu cho biết ma trận nhớ của PROM. Một PROM đơn giản được trình bày ở hình 1.1



Hình 1.1. Cấu tạo PROM đơn giản

PROM có 5 đường điều khiển ngõ vào cho phép tạo ra 32 tổ hợp logic và 8 đường dữ liệu ra tạo thành một ma trận nhớ 32x8, vì vậy có tổng cộng 256 tế bào nhớ. Cấu trúc của PROM gồm một mảng AND cố định theo sau là mảng OR lập trình, được minh họa ở hình 1.2



Hình 1.2. Sơ đồ logic của PROM

Ghi chú:

- Dấu x là những điểm nối lập trình được (kết nối bằng một cầu chì)
- Dấu z là những điểm nối cố định

Ở mảng AND cố định có 16 biến được chọn và liên kết với 4 tín hiệu ngõ vào mảng OR. Do đó bất kỳ một liên kết nào bị loại bỏ (nghĩa là cầu chì ở đó bị đứt, thì biến đó sẽ không có mặt ở biểu thức ngõ ra). Các hàm ở ngõ ra thay đổi tùy thuộc vào sự kết nối của các biến ở ngõ vào. PROM thường được sử dụng để giải mã địa chỉ và ứng dụng để lưu trữ dữ liệu. Khi thiết kế các PROM, người thiết kế phải chú ý đến sự thay đổi mức logic ngõ vào (xảy ra trong thời gian ngắn) khi địa chỉ ngõ vào thay đổi. Phương thức ghi của PROM là khi có một tín xung clock đồng bộ thì mạch ngõ ra

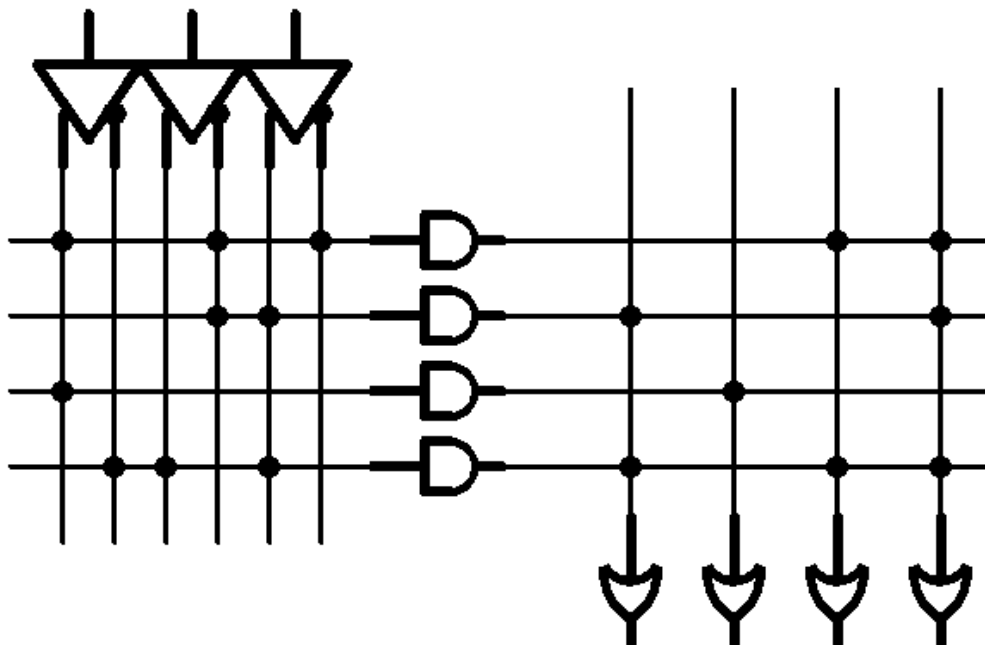
chuyển sang trạng thái khác. Đặc điểm này sẽ giúp khắc phục được vấn đề tập nhiễu ở PROM.

Khi khảo sát PROM, người ta thường quan tâm đến tốc độ truy xuất dữ liệu. Thông thường các loại PROM có thời gian truy xuất dưới 60 ns. Các loại PROM thường sử dụng công nghệ lưỡng cực là nguyên tắc cơ bản để chế tạo. Tuy nhiên, khoa học tiến bộ đã phát minh ra công nghệ CMOS cho phép rút ngắn thời gian truy xuất. Công nghệ CMOS được dùng để chế tạo EPROM, đó là một dạng PROM có thể xóa được bằng tia cực tím. Nó đã tạo ra một bước tiến đáng kể như: EPROM WS57C256F của công ty WaferScale Integration có dung lượng 32Kx8 với thời gian truy xuất là 55 ns, công ty Cypress Semiconductor giới thiệu PROM CY7C245 có dung lượng là 2048x8 với thời gian truy xuất là 25 ns.

Trên đây là một vài ví dụ cho thấy công nghệ CMOS được chấp nhận cho những ứng dụng thiết kế mạch.

2.2 Họ vi mạch FPLA (Field Programmable Logic Array)

Họ vi mạch FPLA đầu tiên được công ty Signetics giới thiệu vào năm 1975. Cấu trúc của FPLA là một mảng AND – OR đơn giản, được trình bày như sau.



Hình 1.3. Sơ đồ biểu thức ngõ ra của FPLA

Từ kết quả trên cho thấy ngõ ra của cổng AND luôn ở mức thấp, điều

này không có lợi. Tuy nhiên nếu ta lập trình cho 4 cầu chì trên, ví dụ ta chọn $A \times B$, lúc này giá trị của 2 biến này sẽ không có trong biểu thức.

Biểu thức ngõ ra của cổng lúc này là; $K = A.B$

Nguyên tắc ở đây là lựa chọn những giá trị để lập trình, khi một cầu chì được chọn nghĩa là giá trị của nó sẽ không có mặt trong biểu thức.

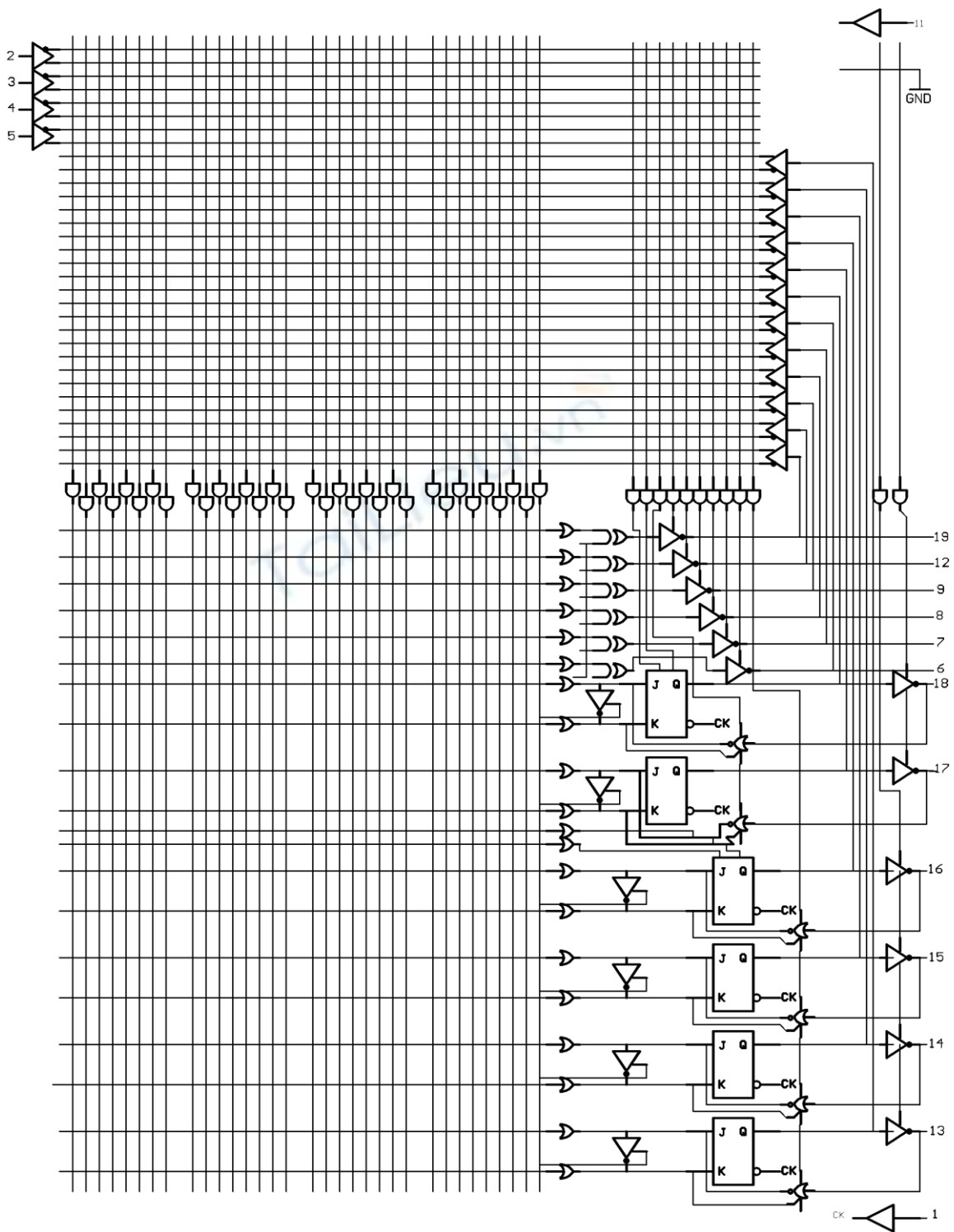
Lưu ý mảng OR trong mạch ở hình 1.3. Mỗi ngõ ra cổng AND được nối tới 1 ngõ vào cổng OR thông qua một cầu chì và một Diode. Xét biểu thức F1 giả sử các cầu chì đều thông, ta có :

$$F1 = K + L + M + N$$

Với K, L, M, N là những tích số của AXB, F1 là tổng các tích số của hai biến A và B. Bây giờ ta sẽ lập trình bằng cách làm đứt các cầu chì thì các số hạng ứng với những cầu chì bị đứt sẽ không có mặt trong biểu thức. Bằng cách lập trình các cầu chì ở mảng AND – OR (nghĩa là loại bỏ giá trị giá trị của nó trong biểu thức) FPLA có thể tạo ra các hàm logic khác nhau theo mạch thiết kế chỉ với hai biến ngõ vào. Lưu ý những Diode trong mảng OR được dùng để bảo vệ ngăn mạch.

2.3 Họ vi mạch FPLS (Field Programable Logic Sequencer)

Họ FPLS được giới thiệu vào năm 1979, FPLS có cấu trúc mô phỏng theo cấu trúc của FPLA nhưng được bổ sung thêm những thanh ghi cho phép “preloading” trạng thái của thiết bị. Một vài thanh ghi ở ngõ ra được đưa hồi tiếp về mảng AND lập trình và một số khác có những thanh ghi ngầm (những thanh ghi được bổ sung trên chip và không nối với chân của ngõ vào hay ngõ ra) bổ sung với thanh ghi ngõ ra, nó có thể hồi tiếp hoặc không hồi tiếp.



Hình 1.4. Sơ đồ logic FPLS PLS 157

2.4 Ho vi mạch FPGA (Field Programmable Gate Array).

Họ FPGA được Signetics giới thiệu vào năm 1977 được sử dụng để thay thế cho những cổng nhiều ngõ vào tiêu chuẩn, cấu trúc của nó bao gồm

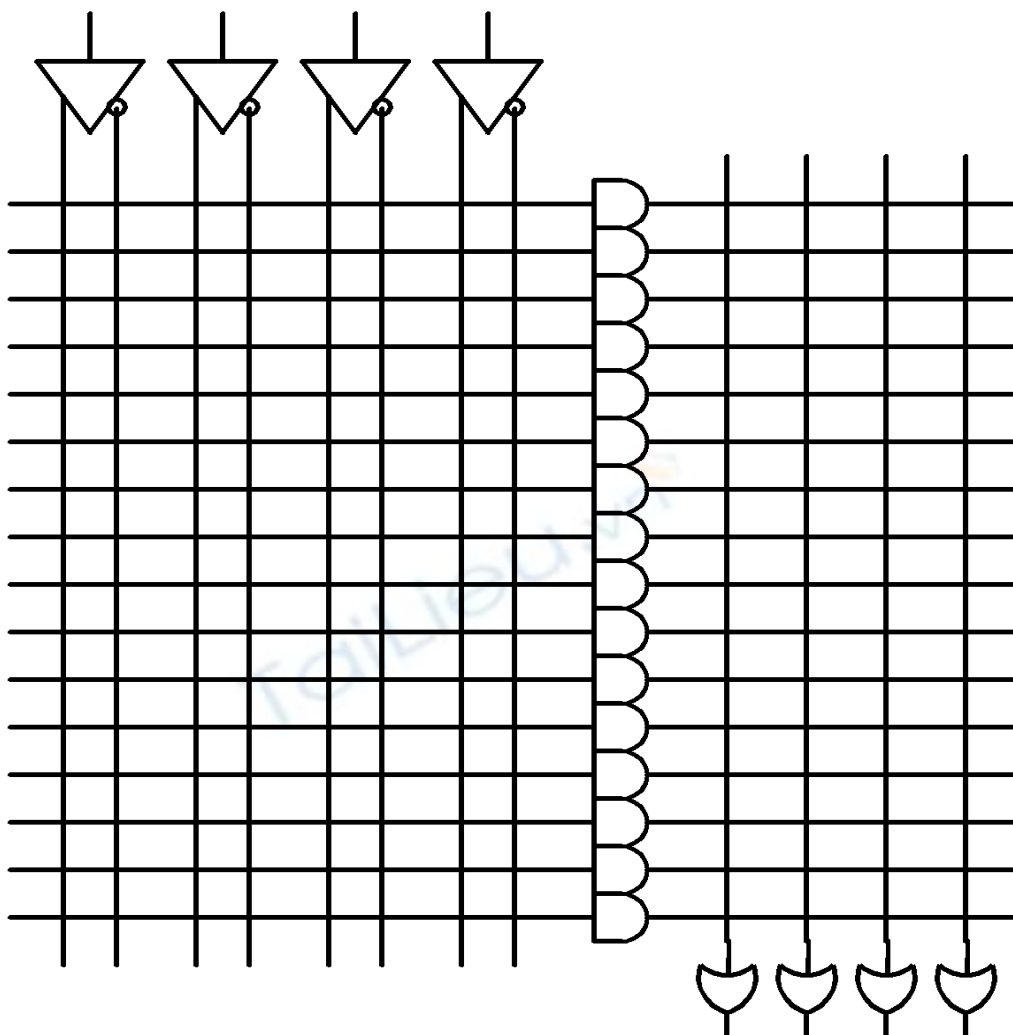
một mảng AND lập trình, với lập trình cực tính ở ngõ ra. Chỉ với một cổng AND có thể biến đổi thành cổng NAND, NOR hay cổng OR. Mỗi cổng AND trong FPGA có thể biến đổi thành các cổng logic khác nhau.

FPGA cũng được bổ sung linh động hơn những cổng tiêu chuẩn khác. Vi mạch đại diện cho họ FPGA là PLS151, có hình dáng 20 chân. PLS151 có 6 ngõ vào, 12 ngõ ra và có tín hiệu hồi tiếp đưa về mảng AND được sử dụng như những ngõ vào. Có thêm 3 tích số được tạo ra bởi 3 đường điều khiển, các tín hiệu này điều khiển những cổng đệm ngõ ra 3 trạng thái. FPGA thích hợp trong các thiết kế để giải mã địa chỉ và được thêm vào các chức năng khác.

2.5 Họ vi mạch PAL (Programmable Array Logic).

PAL là một họ phổ biến nhất trong họ PLD được MONOLITHIC MEMORIES INC giới thiệu vào năm 1978. PAL được đăng ký bản quyền về cấu trúc của công ty MMI. Cấu trúc của PAL bao gồm một mảng AND lập trình theo sau là một mảng OR cố định, cấu trúc này được cải tiến từ những khuyết điểm của họ FPLA. Do loại bỏ việc sử dụng cầu chì ở mảng OR, do đó số lượng tinh thể Silicon được sử dụng giảm, dẫn đến giá thành của PAL thấp hơn so với FPLA. Mặt khác thời gian trì hoãn của PAL ngắn hơn so với FPLA do giảm được sự trì hoãn khi truyền qua mảng OR.

Khảo sát PAL16L8 có hình dáng 20 chân sơ đồ logic được trình bày ở hình 1.5. Vi mạch này có 8 tổ hợp ngõ ra, mỗi ngõ ra được đảo với 7 tích số của ngõ vào, 6 trong 8 ngõ ra được hồi tiếp về mảng AND, cho phép những chân này được sử dụng với chức năng I/O. Do PAL16L8 có ngõ ra tác động ở mức thấp nên nó có thể kết hợp với các IC khác cùng một mức tác động.



Hình 1.5. Sơ đồ logic PAL

PAL16L8 được ứng dụng trong lĩnh vực giải mã địa chỉ, nó thuận tiện trong việc kết hợp với các bộ vi xử lý và thiết bị ngoại vi vì cùng một mức tác động. Với những đặc tính như tốc độ tương đối cao, giá thành thấp, thời gian truyền trì hoãn khoảng 7,5ns nên PAL16L8 rất phổ biến trong công nghiệp PLD. Ngoài ra PAL16L8 có một đặc điểm mới so với các họ trước là có cầu chì bảo vệ, nó dùng để chống sự sao chép, giúp bảo vệ nội dung bên trong. Ngoài PAL16L8 công ty MMI còn giới thiệu các loại vi mạch khác như PAL16R4, PAL16R6, PAL16R8. Các vi mạch này có cấu tạo giống như PAL16L8 nhưng ở ngõ ra sử dụng thêm các FF D để chốt tín hiệu ngõ ra.

Một thế hệ vi mạch PAL được công ty AMD giới thiệu là PAL22V10 với hình dáng 24 chân được chế tạo bằng công nghệ CMOS

thay thế cho công nghệ lưỡng cực. Đặc trưng của vi mạch này là ở ngõ ra được cho qua cổng PLD.

Ngoài việc tăng số biến ngõ vào vi mạch này còn có một số đặc điểm nữa là trong hàm logic các thành phần tích số có thể thay đổi từ 8 đến 16 biến. Điều này sẽ giúp cho vi mạch thực hiện nhiều phương trình phức tạp. Nhờ vào cấu tạo ở ngõ ra các cổng PLD nên các ngõ ra hoặc vào của vi mạch có đặc tính giao tiếp 2 chiều, điều này làm tăng khả năng xử lý của vi mạch và tạo sự thuận lợi cho việc thiết kế. Do những đặc điểm đã được cải tiến nên các thế hệ vi mạch PAL được phổ biến rộng rãi (đặc biệt là nhóm vi mạch 20 chân) và PAL được xem là họ vi mạch đại diện cho họ vi mạch số lập trình.

Ngoài ra các công ty chế tạo PAL có chọn lựa trong việc ký hiệu các số trên một vi mạch. Điều này cung cấp cho người sử dụng những thông tin cần thiết có liên quan đến ứng dụng của vi mạch. Các ký hiệu trong việc đánh số của họ PAL nói chung bao gồm 2 số đếm được tách rời nhau bởi 1 hay 2 ký tự. Số đầu tiên trong tên vi mạch cho biết số ngõ vào của vi mạch (đây chính là số biến ngõ vào của mảng AND). Số thứ hai biểu thị số ngõ ra của vi mạch. Ký tự nằm giữa 2 số chỉ ra ý nghĩa các thuộc tính của ngõ ra. Một số mã ký tự có ý nghĩa là:

- H tác động mức thấp.
- L tác động mức cao.
- P tác động ngõ ra có thể lập trình.
- C phân bổ sung các ngõ ra.
- S bộ tuần tự.

Các ký hiệu của vi mạch họ PAL được xem là những hướng dẫn cơ bản của vi mạch. Ngoài ra các công ty chế tạo còn cung cấp bản thông số kỹ thuật và sơ đồ logic của vi mạch kèm theo để làm tài liệu tham khảo cho các nhà thiết kế.

2.6 Họ vi mạch GAL (Generic Array Logic).

GAL là một nhóm của công nghệ EEPLD, nó được giới thiệu và phát triển bởi công ty Lattice Semiconductor Comp. Công ty này đã đưa ra một khái niệm về cổng PLD có ký hiệu là OLMCs (Output Logic Macrocells).

Vi mạch này cũng có những đặc điểm là có thể xóa bằng điện và lập trình lại bằng các phần mềm và công cụ hỗ trợ. GAL16V8 có hình dạng 20 chân là một vi mạch phổ biến trong họ GAL.

Mỗi một OLMC có 8 ngõ vào tương đương với 8 tích số trong một biểu thức. Ngoài ra OLMC cũng có tín hiệu hồi tiếp đưa về để điều khiển, tín hiệu xung đồng hồ, tín hiệu hồi tiếp về mảng AND. Các vi mạch GAL đều có hỗ trợ những thanh ghi “Preload”, điều này có ích trong việc kiểm tra vi mạch. Mặt khác một thể hệ vi mạch mới được phát triển là vi mạch lập trình hệ thống ký hiệu là ispEELD (In-system Programmable).

Vi mạch đầu tiên là ispGAL16Z8, cấu trúc của nó gần giống với GAL16V8 nhưng được thêm vào 4 chân để điều khiển lập trình. Trong hệ thống ispGAL16Z8 cho phép chu kỳ lập trình là 10000 lần và dữ liệu được giữ cố định trong khoảng thời gian 20 năm. Đó cũng là quy định của những vi mạch theo nguyên tắc EPROM. Cấu trúc của họ GAL là sự lặp lại cấu trúc của họ PAL và những đặc điểm của họ GAL được thiết kế để kết hợp với những vi mạch họ PAL. Điều này được thể hiện qua việc ký hiệu các vi mạch họ GAL và cấu trúc tế bào bảo vệ của nó.

2.7 Họ vi mạch PEEL (Programmable Electrically Erasable Logic).

Họ PEEL được công ty International Cmos Technology INC giới thiệu. Nó được chế tạo với công nghệ EEPROM. Cấu trúc của PEEL cũng tương tự như PAL và GAL, nó được xóa bằng điện và lập trình cũng nhờ vào phần mềm hỗ trợ.

Vi mạch có 20 chân với 8 ngõ ra được cấu tạo bởi cổng PLD, mỗi ngõ ra có 8 tích số trong một hàm của biểu thức và có một tích số riêng để điều khiển cổng đệm ngõ ra. Cực tính ngõ ra cũng được lập trình các thanh ghi ở ngõ ra của vi mạch được Reset không đồng bộ, ngoài ra các thanh ghi có thể được chốt bên trong khi ngõ ra được điều khiển bởi một biểu thức của tổng các số hạng của ngõ vào. Đặc điểm này được cải tiến hơn so với các vi mạch PAL16V10 hay GAL16V8.

Công ty Altera lần đầu tiên giới thiệu thuật ngữ xóa các PLD bằng tia cực tím và nó đã trở thành thuật ngữ chung cho công nghệ PLD để tham khảo cho các vi mạch lập trình xóa bằng tia cực tím. Từ khi khởi đầu, công