

Tailieu.vn

CHƯƠNG 6: DAO ĐỘNG VÀ ĐỊNH GIỜ

Trong chương này sẽ trình bày về mạch dao động tạo xung vuông hay còn gọi là mạch dao động đa hài phi ổn. Đây là mạch logic tự nó thay đổi giữa hai trạng thái một cách tuần hoàn tạo ra dạng sóng vuông có tần số định trước. Sóng vuông này được dùng làm tín hiệu đồng hồ cho các mạch logic tuần tự hay nguồn tín hiệu tham chiếu nói chung do đó được gọi là mạch tạo xung đồng hồ - Clock (Ck).

Nội dung chương 6 gồm các phần sau:

I. Mạch dao động tạo sóng vuông

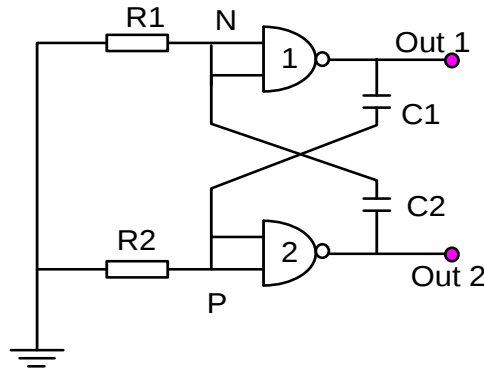
1. Mạch tạo xung vuông sử dụng cổng NAND.
2. Mạch tạo xung vuông sử dụng cổng náy Schmitt.
3. Mạch tạo xung vuông sử dụng cổng NOT.
4. Mạch dao động chuyển pha.
5. Mạch dao động dùng tinh thể thạch anh

II. Mạch đơn ổn

1. Mạch đơn ổn sử dụng cổng NAND
2. Mạch đơn ổn sử dụng cổng NOR

I. Mạch dao động tạo sóng vuông

1. Mạch tạo xung vuông sử dụng cổng NAND.



Hình 6.1: Mạch tạo xung vuông dùng cổng NAND

Xem mạch hình 6.1 gồm hai cổng NAND TTL N_1 và N_2 với tụ C_1 và C_2 trên đường hồi tiếp chéo và điện trở R_1 , R_2 , ở ngõ vào. Ngõ vào còn lại của mỗi cổng NAND được bỏ không hay nối lên V_{CC} . Hai điện trở R_1 , R_2 , được chọn sao cho hai cổng được phân cực ở vùng tuyến tính giữa hai ngưỡng logic thấp và cao của cổng (ở cổng TTL ngưỡng thấp là khoảng 0,9V, ngưỡng cao là khoảng 1,6V) để sự nạp, xả của hai tụ sẽ khiến ngõ vào của hai cổng chuyển mạch giữa logic 0 và 1.

Giả sử ngõ vào của N_1 xuống dưới ngưỡng thấp khiến ngõ ra $Q=1$, và tụ qua C_2 khiến ngõ vào của N_2 lên 1 làm ngõ ra $\bar{Q}=0$. Tụ C_2 xả điện qua R_2 xuống đất khiến điện thế tại ngõ vào của N_2 sụt dần đến lúc nào đó sẽ xuống dưới ngưỡng thấp tức có logic 0 làm ngõ ra $\bar{Q}=1$ và qua tụ C_1 khiến ngõ vào của N_1 lên 1 dẫn đến ngõ ra $Q=0$.

Lúc bấy giờ C_1 xả điện qua R_1 và R_3 khiến điện thế tại ngõ vào của N_1 sụt dần đến lúc nào đó sẽ xuống ngưỡng thấp tức logic 0 làm ngõ ra $Q=1$, v.v.v...

Sự nạp xả như trên xảy ra liên tiếp và tuần hoàn tạo hai dạng sóng ngõ ra đảo pha nhau, khi $C_1 = C_2 = C$ và $R_1 = R_2 = R$ thì dạng sóng ra đối xứng và có dạng là:

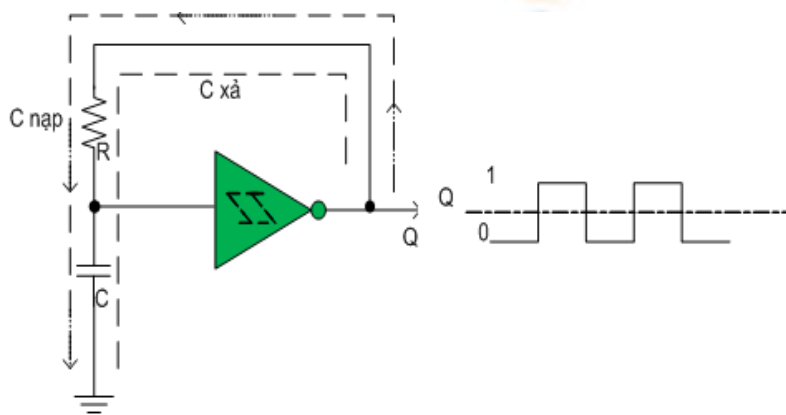
$$f = \frac{1}{2(R + R_3)C}$$

Các điện trở R_1 , R_2 , phải nhỏ (dưới $1K\Omega$) còn tụ C_1 , C_2 từ vài chục pF đến khoảng $1000\mu F$. khi dùng cổng CMOS các điện trở có thể đến $100K$ hoặc hơn nên mạch có thể

dao động ở tần số thấp hơn. Thường hai ngõ ra phải được đệm (ví dụ dùng hai cổng NAND còn lại của 7400 để làm cổng đệm).

2. Mạch tạo xung vuông sử dụng cổng nẩy Schmitt.

Các cổng nẩy Schmitt IC7414 có thể được dùng như mạch dao động (Hình 6.2). Giả sử ngõ vào của cổng vừa xuống thấp (logic 0) khiến ngõ ra Q vừa lên cao (logic 1) thì tụ C nạp qua điện trở R từ ngõ ra. Khi C nạp đến ngưỡng logic cao thì ngõ vào lên cao khiến ngõ ra xuống thấp làm tụ xả điện vào ngõ ra. Khi C xả xuống đến ngưỡng thấp logic ở ngõ ra đảo lại.



Hình 6.2: Dao động tạo xung vuông dùng cổng nẩy Schmitt

Vì tụ C nạp và xả qua cùng điện trở R nên dạng sóng vuông ra đối xứng. Do ngưỡng logic khác nhau nên tần số dao động của cổng TTL và cổng CMOS khác nhau. Tần số dao động còn bị ảnh hưởng bởi điện trở ngõ ra của cổng và các yếu tố về nhiệt độ, v.v... nên công thức ghi ở hình vẽ chỉ là xấp xỉ. Để ý là không được dùng điện trở trên giới hạn cho vì mạch sẽ không dao động

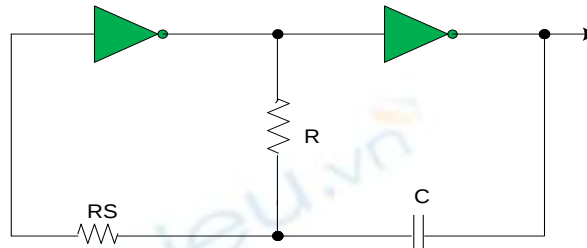
IC	tần số
7414	$0,8/R$ ($R < 500\Omega$)
74LS14	$0,8/R$ ($R < 2K\Omega$)
74HC14	$1,2/R$ ($R < 10M\Omega$)

Bảng 6.1 : Bảng tần số làm việc của IC74XX14

3. Mạch tạo xung vuông sử dụng cổng NOT.

Hai cổng đảo TTL hay CMOS có thể tạo nên mạch dao động tạo ra sóng vuông như hình 6.3 trong đó tụ C và điện trở R xác định tần số dao động. điện trở R_s để làm giảm thiểu ảnh hưởng của sự thay đổi điện thế cấp điện V_{CC} lên tần số, R_s chọn giá trị bằng 0 hoặc lớn hơn R. khi R_s khá lớn so với R chu kỳ và tần số dao động cho bởi:

$$T \approx 2,2 RC, \quad \text{vậy } f \approx \frac{1}{2,2 RC}$$



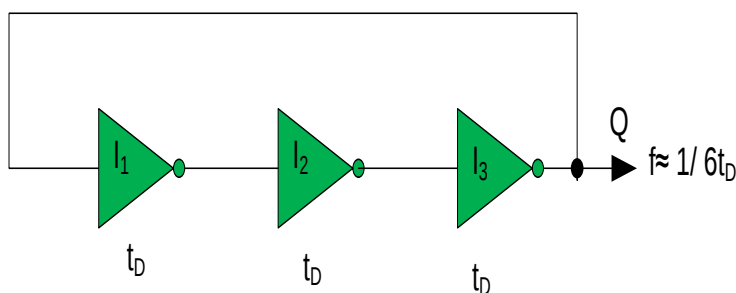
Hình 6.3: Dao động tạo xung vuông dùng cổng ĐẢO CMOS 74HC04

Giá trị điện trở R phải lớn hơn $50K\Omega$, tụ C phải lớn hơn $1000\mu F$. Về nguyên lý mạch dao động với khoảng rộng của điện trở R (từ vài trăm ohm đến vài $M\Omega$) và tụ C (từ $100pF$ đến hàng μF), điện trở R_s không được quá lớn vì có thể khiến mạch dao động chập chờn. Có thể dùng cổng NAND thay cổng ĐẢO.

Ví dụ: Dùng IC 4011, $R_s = 0$, Khi $R = 220K$, $C = 1\mu F$, tần số là khoảng 3Hz.

4. Mạch dao động chuyển pha.

Mạch dùng 3 cổng NOT ghép nối tiếp và đường hồi tiếp như hình 6.4.



Hình 6.4: Dao động dịch chuyển pha

Mạch này còn có thể gọi ngắn gọn là mạch dịch pha

❖ Nguyên lý hoạt động:

Giả sử ngõ vào của cổng đầu tiên I_1 vừa có chuyển tiếp từ thấp lên cao (0 lên 1).

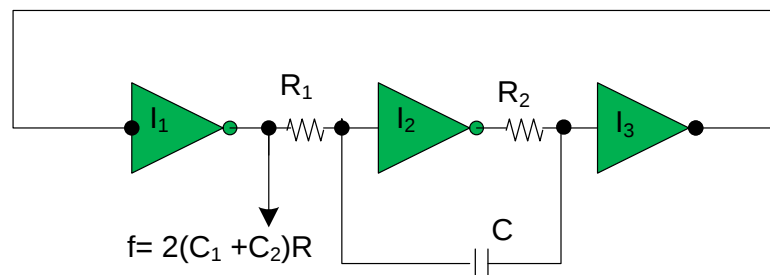
Sau trì hoãn truyền t_D ngõ ra của nó tức ngõ vào của cổng thứ hai I_2 sẽ chuyển tiếp cao xuống thấp. Do đó sau trì hoãn truyền t_D nữa ngõ ra của I_2 tức ngõ vào của I_3 sẽ chuyển tiếp thấp lên cao, và tương tự như vậy, sau trì hoãn truyền t_D thứ 3 ngõ ra Q của I_3 sẽ chuyển tiếp cao xuống thấp, ngõ ra này tiếp tục ở thấp.

Do có sự hồi tiếp nên ngõ vào của I_1 cũng có sự chuyển tiếp cao xuống thấp. Sau $3t_D$ ngõ ra Q sẽ lên cao. Tiếp tục như thế sau $3t_D$ nữa ngõ ra Q lại xuống thấp. Như vậy chu kỳ dao động là $6t_D$, giả sử các cổng ĐẢO có thời gian trì hoãn truyền như nhau mà đối với mạch logic TTL điển hình là 10ns. Tần số dao động là:

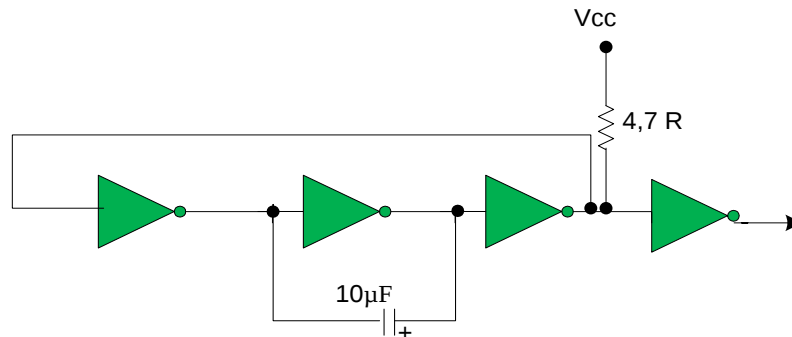
$$f = \frac{1}{6t_D}$$

Với $t_D = 10\text{ns}$, tần số là khoảng 16MHz. Với các loại cổng khác nhau sẽ có được tần số từ 10 đến vài chục MHz.

Mạch dao động ở hình 6.4 có điểm không thuận lợi đó là tần số phụ thuộc vào cổng được dùng. Phải có cách để cho tần số của mạch tùy thuộc vào linh kiện mắc thêm bên ngoài mà thường là tụ, trở, tinh thể thạch anh.



Hình 6.5: Mạch chuyển pha gắn thêm tụ ngoài



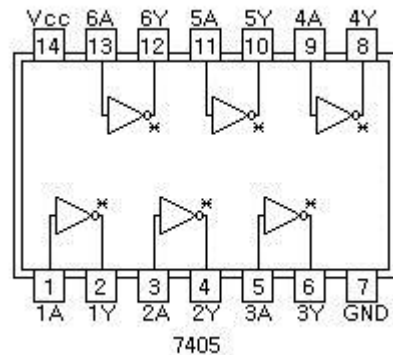
Hình 6.6 Dao động có kiểm soát tần số

❖ Giới thiệu IC cổng NOT dùng làm mạch dao động có tần số kiểm soát:

Hình dạng thật IC 7405



Sơ đồ chân IC 7405



Hình 6.7: Hình dạng và cấu trúc sơ đồ chân IC 7405

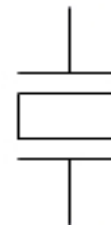
5. Mạch dao động dùng tinh thể thạch anh.

Tinh thể thạch anh (quartz crystal) là loại đá trong mờ trong thiên nhiên, chính là dioxyt silicium (SiO_2). Tinh thể thạch anh dùng trong mạch dao động là một lát mỏng được cắt ra từ tinh thể. Tùy theo mặt cắt mà lát thạch anh có đặc tính khác nhau. Lát thạch anh có diện tích từ nhỏ hơn 1cm^2 đến vài cm^2 được mài rất mỏng, phẳng (vài mm) và 2 mặt thật song song với nhau. Hai mặt này được mạ kim loại và nổi chân ra ngoài.

Hình dạng



Ký hiệu



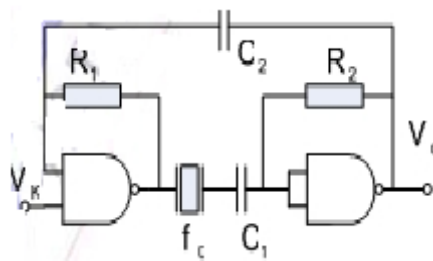
Hình 6.8: hình dạng thật và ký hiệu của thạch anh

Đặc tính của tinh thể thạch anh là tính áp điện (piezoelectric effect) theo đó khi ta áp một lực vào 2 mặt của lát thạch anh (nén hoặc kéo dãn) thì sẽ xuất hiện một điện thế xoay chiều giữa 2 mặt. Ngược lại dưới tác dụng của một điện thế xoay chiều, lát thạch anh sẽ rung ở một tần số không đổi và như vậy tạo ra một điện thế xoay chiều có tần số không đổi. Tần số rung động của lát thạch anh tùy thuộc vào kích thước của nó đặc biệt là độ dày mặt cắt. Khi nhiệt độ thay đổi, tần số rung động của thạch anh cũng thay đổi theo nhưng

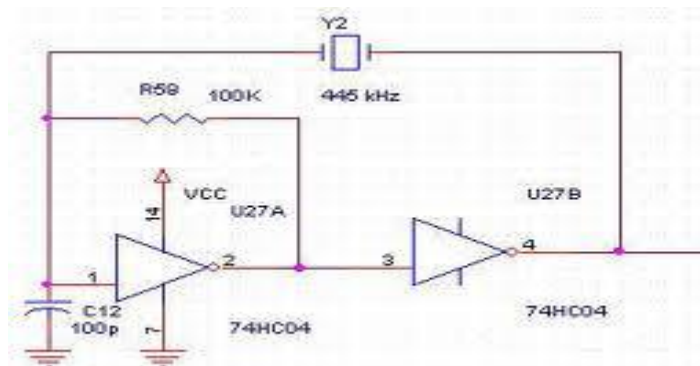
vẫn có độ ổn định tốt hơn rất nhiều so với các mạch dao động không dùng thạch anh (tần số dao động gần như chỉ tùy thuộc vào thạch anh mà không lệ thuộc mạch ngoài).

Do thạch anh có điện cảm L_s lớn, điện dung nối tiếp rất nhỏ nên thạch anh sẽ quyết định tần số dao động của mạch, linh kiện bên ngoài không làm thay đổi nhiều tần số dao động (dưới $1/1000$). Thường người ta chế tạo các thạch anh có tần số dao động từ 100kHz trở lên, tần số càng thấp càng khó chế tạo.

Để có các tín hiệu đồng hồ có tần số chính xác và có độ ổn định cao, các mạch đa hài trình bày trên đây không đáp ứng được. Tinh thể thạch anh thường được sử dụng trong các trường hợp này. Thạch anh có tính ổn định tần số tốt, hệ số phẩm chất rất cao dẫn đến tính chọn lọc tần số rất cao. Hình 6.9 là một mạch dao động đa hài điển hình sử dụng tinh thể thạch anh. Tần số của mạch dao động chỉ phụ thuộc vào tinh thể thạch anh mà không phụ thuộc vào giá trị các tụ điện và điện trở trong mạch.



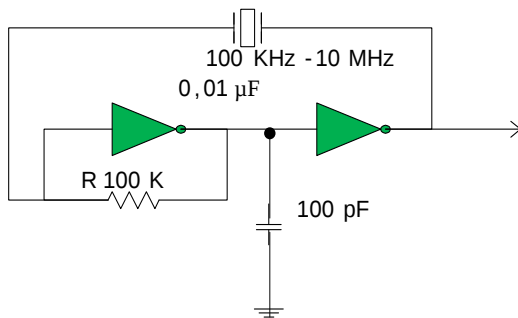
Hình 6.9: Mạch thạch anh cơ bản



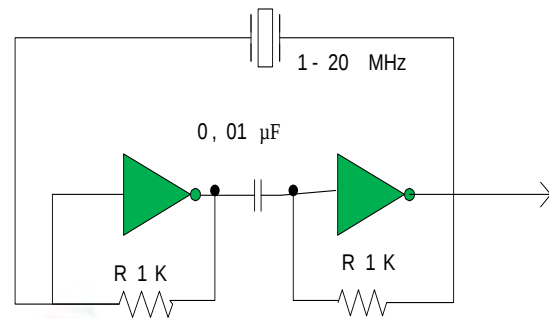
Hình 6.10 Mạch dao động dùng thạch anh 455Khz

Hình 6.9 là mạch dao động thạch anh, dùng cổng TTL hoặc dùng cổng CMOS. Giá trị điện trở R tùy thuộc vào loại mạch và loại logic. Với mạch dùng cổng TTL trị số của R là vài trăm Ohm đến khoảng $1,5K\Omega$, với mạch dùng cổng CMOS trị số của R là khoảng $100K\Omega$.

đến $1M\Omega$. Thay vì cổng NOT có thể dùng cổng NAND (mắc như cổng NOT). Ví dụ: 7400, 74HC00, CD4011, ...



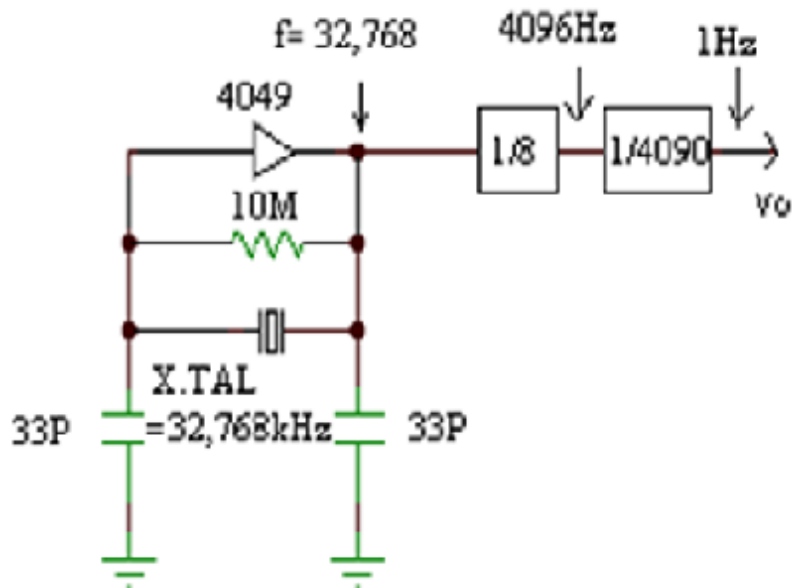
Sử dụng IC 74LS04



Sử dụng IC 74LS04

Hình 6.11: Mạch dao động dùng IC cổng NOT

Khi cần sử dụng chuỗi xung tuần hoàn có tần số chính xác, ổn định người ta tạo dao động với tần số cao, nhằm giảm giá trị R,C; giảm sai số trong quá trình vận hành. Sau đó sử dụng bộ chia tần số để lấy ra một tần số thích hợp.



Hình 6.12: Mạch tạo xung tần số 1Hz

II. MẠCH ĐƠN ỔN

Mạch đơn ổn chính là mạch dao động đa hài đơn ổn hay mạch một phát, có chức năng tạo ra một xung vuông có độ rộng định trước bởi tụ và trở, khi có xung nẩy (hay kích) áp ở ngõ vào. Xung nẩy tác động bằng mức hay cạnh.

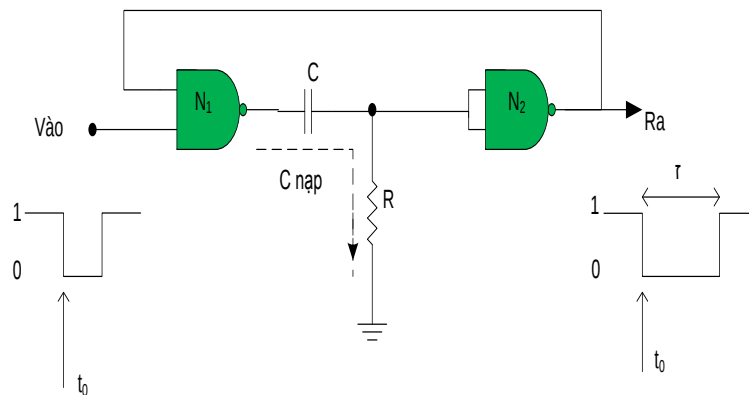
Bộ đa hài (multivibrator) là một mạch dùng để thay đổi 2 trạng thái đơn giản, ví dụ như: mạch tạo dao động, timer, Flip-flop ... Nó bao gồm 2 linh kiện khuếch đại (Transistor, bóng đèn điện tử ...) nối “chéo” nhau qua các tụ và trở. Dạng thường gặp nhất là mạch đa hài và mạch tạo dao động – có thể tạo ra các sóng vuông. Tuy nhiên ở đây sử dụng cổng NAND hoặc NOR để tạo mạch đơn ổn

1. Mạch đơn ổn sử dụng cổng NAND.

Các cổng TTL và CMOS đều có thể dùng để tạo mạch đơn ổn. Hình 6.12 là mạch dùng cổng TTL (7400, 74LS00), điện trở R phải nhỏ (dưới $1K\Omega$) để giữ ngõ vào của cổng N_2 ở thấp. Ngõ vào (ngõ vào dưới của cổng N_1) bình thường ở cao nên ra của N_1 ở thấp và ngõ vào của N_2 cũng ở thấp dẫn đến ngõ ra của ngõ N_2 ở cao.

Khi có xung nẩy hướng âm áp ở ngõ vào, ngõ ra N_1 lên cao. Vì C không nạp tức khắc nên ngõ vào N_2 cũng lên cao và do đó ngõ ra xuống thấp cùng thời gian với điểm bắt đầu mức thấp của xung nẩy.

Thật ra có trì hoãn khoảng 20ns do trì hoãn truyền của hai cổng. Tụ C nạp điện qua R khiến điện thế ở ngõ vào của N_2 giảm dần, khi xuống đến ngưỡng logic thấp thì ngõ ra của N_2 lại lên cao. Như vậy, độ rộng của xung ra là $\tau \approx RC$



Hình 6.13: Dao động đơn ổn dùng cổng TTL

Đường hồi tiếp từ ngõ ra N_2 trở lại ngõ vào N_1 có tác dụng duy trì ngõ vào trên của N_1 ở cao trong quá trình nạp tụ C, nhờ vậy xung nẩy ở ngõ vào chỉ cần tồn tại trong một thời gian ngắn.

BÀI TẬP CHƯƠNG 6

- 1) Thế nào là mạch đơn ổn và cho biết phạm vi ứng dụng của mạch.
- 2) Vẽ sơ đồ mạch đơn ổn dùng cổng NAND sử dụng IC 74LS00
- 3) Cho biết công thức tính độ rộng xung của mạch đơn ổn dùng các IC 74121, 74122, 74123?
- 4) Cho biết đặc điểm của mạch dao động dùng thạch anh. vẽ một sơ đồ đặc trưng và giải thích nguyên lý hoạt động của mạch.
- 5) Hãy thiết kế mạch tạo xung vuông có tần số 1KHz
- 6) So sánh mạch chuyển pha và mạch náy

CHƯƠNG 7: MẠCH TỔ HỢP MSI

Trong chương này sẽ giới thiệu về mạch biến đổi mã dùng các cổng logic nhằm chuyển thông tin từ dạng mã này sang dạng mã khác tương ứng, đồng thời cũng đề cập đến các hệ thống hiển thị dùng trong kỹ thuật số như giải mã BCD sang Led 7 đoạn. Bên cạnh đó chương này cũng đề cập đến việc lựa chọn một trong nhiều kênh thông tin ở ngõ vào để truyền qua một kênh ngõ ra duy nhất và ngược lại mạch có khả năng kết nối một kênh thông tin duy nhất ở ngõ vào với một trong nhiều kênh dẫn ở ngõ ra. Qua đó chương này cũng trình bày những ứng dụng của mạch đa hợp và giải đa hợp.

Nội dung chương 7 gồm có:

1. Mạch mã hóa.
2. Mạch giải mã.
3. Mạch đa hợp / chọn dữ liệu.
4. Mạch giải đa hợp/ phân phát dữ liệu/giải mã.
5. Ứng dụng của mạch đa hợp, giải đa hợp.

1. Mạch mã hóa.

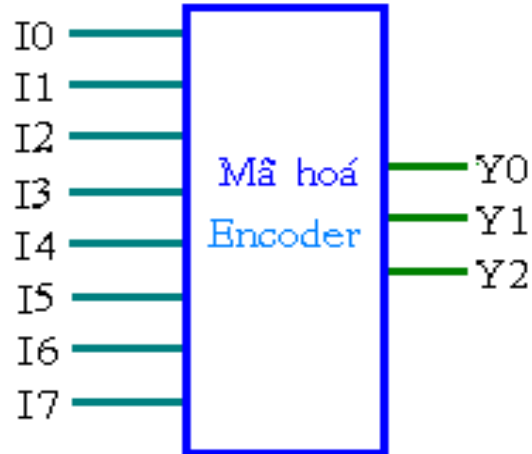
Mã hóa và giải mã không có gì xa lạ và là tất yếu trong đời sống chúng ta. Nó được dùng để dễ nhớ, dễ đặt, dễ làm,...là quy ước chung cũng có thể phổ biến cũng có thể bí mật. Chẳng hạn dùng chữ để đặt tên cho 1 con đường, cho 1 con người; dùng số trong mã số sinh viên, trong thi đấu thể thao; quy ước đèn xanh, đỏ, vàng tương ứng là cho phép đi, đứng, dừng trong giao thông; rồi viết bức thư sử dụng chữ viết tắt, kí hiệu riêng để giữ bí mật hay phức tạp hơn là phải mã hoá các thông tin dùng trong tình báo, vv...

Thông tin đã được mã hoá rồi thì khi dùng cũng phải giải mã nó và ta chỉ giải được khi chấp nhận, thực hiện theo đúng những quy ước, điều kiện có liên quan chặt chẽ tới mã hoá. Trong mạch số, thông tin phải được mã hoá hay giải mã ở dạng số. Trong những mục này, ta sẽ xem xét cụ thể cách thức, cấu trúc, ứng dụng của mã hoá giải mã số như thế nào.

Trong các hệ thống số kể cả viễn thông, máy tính; các đường điều khiển tùy chọn hay dữ liệu được truyền đi hay xử lí đều phải ở dạng số hệ 2 chỉ gồm 1 và 0; có nhiều đường tín hiệu chỉ có 1 bit như đường điều khiển mở nguồn cho mạch ở mức 1; rồi có nhiều đường địa chỉ nhiều bit chẳng hạn 110100 để CPU xác định địa chỉ trong bộ nhớ; rồi dữ

liệu dạng hex gửi xuống máy in cho in ra kí tự. Tất cả các tổ hợp bit đó được gọi là các mã số (code) hay mã và mạch tạo ra các mã số gọi là mạch mã hoá (lập mã: encoder).

1.1 Mã hóa 8 sang 3



Hình 7.1 Khối mã hoá 8 sang 3

Mạch có 8 đường ngõ vào và 3 đường ngõ ra. Mạch này còn gọi là mạch chuyển mã bát phân thành nhị phân. Trong bất cứ lúc nào cũng chỉ có 1 ngõ vào ở mức tích cực tương ứng với chỉ một tổ hợp mã số 3 ngõ ra; tức là mỗi 1 ngõ vào sẽ cho ra 1 mã số 3 bit khác nhau.

Với 8 ngõ vào (I_0 đến I_7) thì sẽ có 8 tổ hợp ngõ ra nên chỉ cần 3 ngõ ra (Y_2, Y_1, Y_0).

V ào								Ra		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Bảng 7.1: Bảng trạng thái mạch mã hoá 8 sang 3

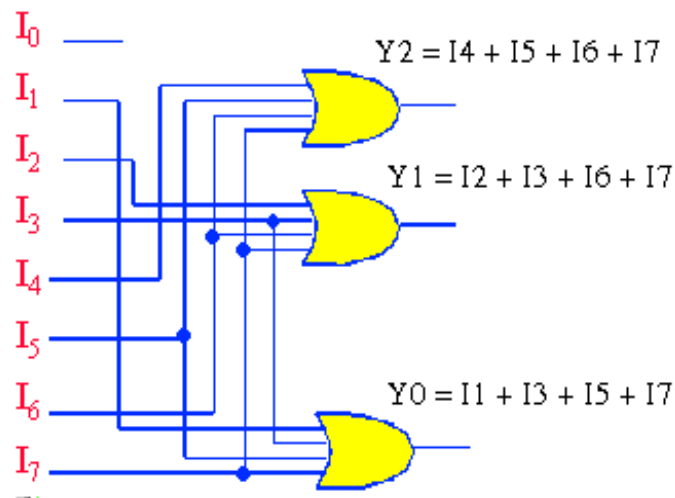
Từ bảng trên, ta có :

$$Y0 = I1 + I3 + I5 + I7$$

$$Y1 = I2 + I3 + I6 + I7$$

$$Y2 = I4 + I5 + I6 + I7$$

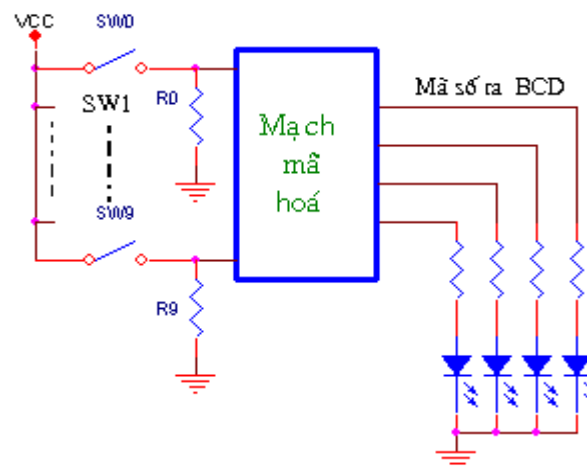
Dựa vào 3 biểu thức trên ta có thể vẽ được mạch logic như hình dưới đây :



Hình 7.2: Sơ đồ logic mạch mã hoá 8 sang 3

1.2 Mạch mã hóa 10 đường sang 4 đường.

Mạch gồm 10 phím nhấn từ SW0 đến SW9. Các phím thường hở để các đường I0 đến I9 ở thấp do nối xuống mass. Trong 1 thời điểm chỉ có 1 phím được nhấn để đường đó lên cao, các đường khác đều ở thấp. Khi 1 phím nào đó được nhấn thì sẽ tạo ra 1 mã nhị phân tương ứng và sẽ làm sáng led nào nối với bit 1 của mã số ra đó. Mã này có thể được bộ giải mã sang led 7 đoạn để hiển thị.



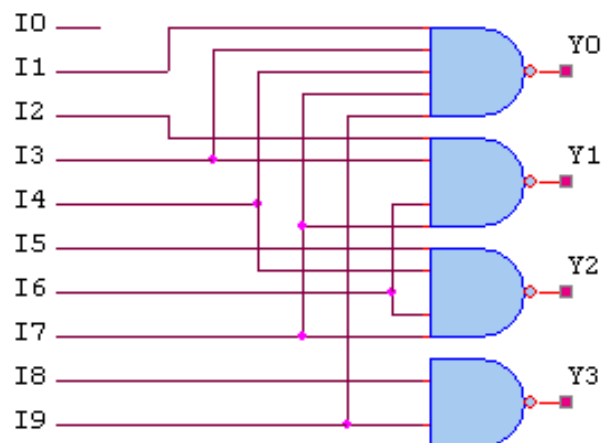
Hình 7.3 Mạch mã hoá 10 sang 4 hiển thị Led

Ví dụ khi nhấn phím SW2 mã sẽ tạo ra là 0010 và led hiển thị số 2. Như vậy mạch đã sử dụng 1 bộ mã hoá 10 đường sang 4 đường hay còn gọi là mạch chuyển đổi mã thập phân sang BCD. Ta lập bảng trạng thái của mạch mã hóa 10 sang 4 như sau:

v ào										Ra			
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	Y3	Y2	Y1	Y0
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

Bảng 7.2: Bảng sự thật mạch mã hoá 10 đường sang 4 đường

Từ bảng trạng thái ta tìm hàm logic các ngõ ra theo ngõ vào và vẽ sơ đồ mạch

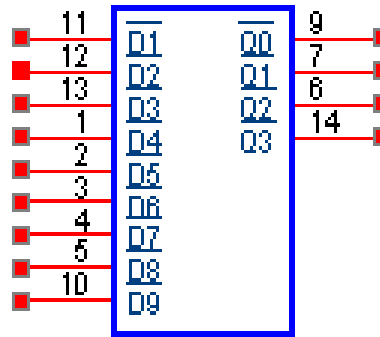


Hình 7.4 Cấu trúc mạch mã hoá 10 sang 4

Trong thực tế hệ thống số cần sử dụng rất nhiều loại mã khác nhau như mã hex, nạp cho vi điều khiển, mã ASCII mã hoá bàn phím máy tính rồi đến các mã phức tạp khác dùng cho truyền số liệu trên mạng máy tính, dùng trong viễn thông, quân sự. Tất cả chúng đều tuân theo quy trình chuyển đổi bởi 1 bộ mã hoá tương đương.

1.3 Mã hóa ưu tiên.

Với mạch mã hoá được cấu tạo bởi các cổng logic như ở hình trên ta có nhận xét rằng trong trường hợp nhiều phím được nhấn cùng 1 lúc thì sẽ không thể biết được mã số sẽ ra là bao nhiêu. Do đó để đảm bảo rằng khi 2 hay nhiều phím hơn được nhấn, mã số ra chỉ tương ứng với ngõ vào có số cao nhất được nhấn, người ta đã sử dụng mạch mã hoá ưu tiên. Rõ ràng trong cấu tạo logic sẽ phải thêm 1 số cổng logic phức tạp hơn, IC 74LS147 là mạch mã hoá ưu tiên 10 đường sang 4 đường, nó đã được tích hợp sẵn tất cả các cổng logic trong nó. Kí hiệu khối của 74LS147 như hình 1.5 ở bên dưới:



Hình 7.5 Khối sơ đồ chân của IC74LS147

Các ngõ vào thập phân tác động ở mức thấp									Các ngõ ra BCD tác động ở thấp			
1	2	3	4	5	6	7	8	9	Q ₃	Q ₂	Q ₁	Q ₀
1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
X	0	1	1	1	1	1	1	1	1	1	0	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0

Bảng 7.3: Bảng sự thật của 74LS147

Thứ tự ưu tiên giảm từ ngõ vào 9 xuống ngõ vào 0. Chẳng hạn khi ngõ vào 9 đang là 0 thì bất chấp các ngõ khác (X) số BCD ra vẫn là 1001 (qua cổng đảo nữa). Chỉ khi ngõ vào 9 ở mức 1 (mức không tích cực) thì các ngõ vào khác mới có thể được chấp nhận, cụ thể là ngõ vào 8 sẽ ưu tiên trước nếu nó ở mức thấp.

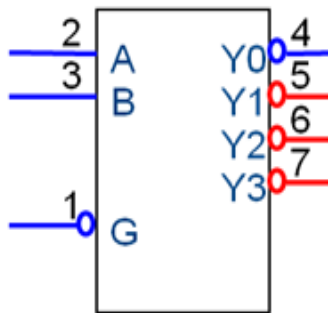
Với mạch mã hoá ưu tiên 8 đường sang 3 đường, cũng có IC tương ứng là 74LS148

2. Mạch giải mã .

Mạch giải mã là mạch có chức năng ngược lại với mạch mã hoá tức là nếu có 1 mã số ở ngõ vào thì tương ứng sẽ có 1 ngõ ra được tác động, mã ngõ vào thường ít hơn mã ngõ ra. Tất nhiên ngõ vào cho phép phải được bật lên cho chức năng giải mã. Mạch giải mã được ứng dụng chính trong ghép kênh dữ liệu, hiển thị led 7 đoạn, giải mã địa chỉ bộ nhớ.

2.1 Giải mã 2 sang 4

Mạch có 2 ngõ vào, 4 ngõ ra tích cực mức thấp và chân cho phép tích cực ở mức thấp

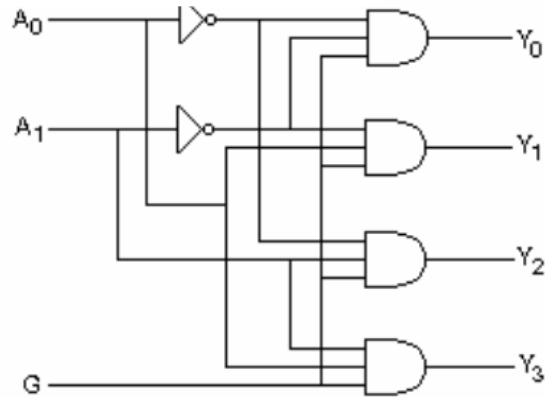


Hình 7.6: Sơ đồ chân IC 74LS139

Input			Output			
G	B	A	Y ₀	Y ₁	Y ₂	Y ₃
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	X	X	1	1	1	1

Bảng 7.4: Bảng sự thật IC 74LS139

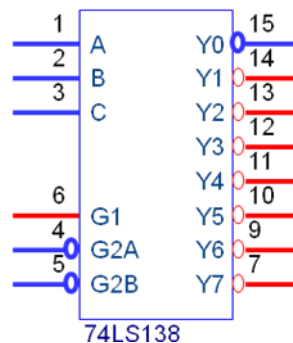
Phương trình ngõ ra: $Y_0 = \overline{\overline{G.B.A}}$ $Y_1 = \overline{\overline{G.B.A}}$ $Y_2 = \overline{\overline{G.B.A}}$ $Y_3 = \overline{\overline{G.B.A}}$



Hình 7.7: Sơ đồ logic mạch giải mã 2 sang 4

2.2 Giải mã 3 sang 8

Mạch giải mã 3 đường sang 8 đường bao gồm 3 ngõ vào tạo nên 8 tổ hợp trạng thái, ứng với mỗi tổ hợp trạng thái được áp vào sẽ có 1 ngõ ra được tác động.



74LS138

Hình 7.8: Sơ đồ chân IC 74LS138

Inputs						Output							
Enable			Select										
G2A	G2B	G1	C	B	A	0	1	2	3	4	5	6	7
1	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	0	X	X	X	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0

Bảng 7.5: Bảng sự thật giải mã từ 3 sang 8

Rút gọn hàm logic sử dụng mạch giải mã :

$$Y_0 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot \overline{C} \cdot \overline{B} \cdot \overline{A}$$

$$Y_4 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot C \cdot \overline{B} \cdot \overline{A}$$

$$Y_1 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot \overline{C} \cdot B \cdot \overline{A}$$

$$Y_5 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot C \cdot B \cdot \overline{A}$$

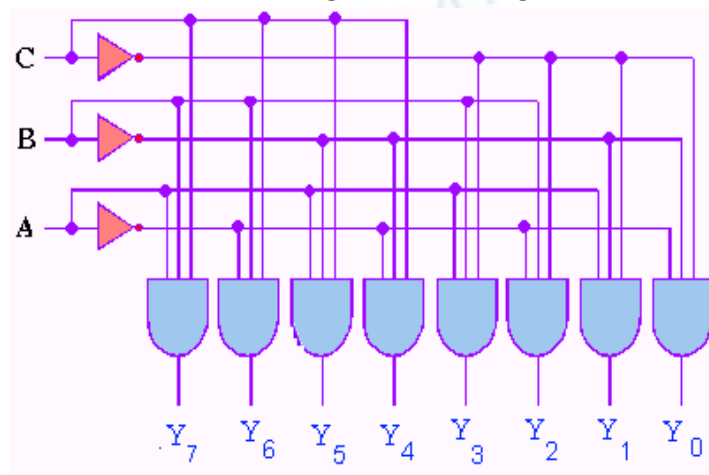
$$Y_2 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot \overline{C} \cdot \overline{B} \cdot A$$

$$Y_6 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot C \cdot \overline{B} \cdot A$$

$$Y_3 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot C \cdot B \cdot A$$

$$Y_7 = \overline{G_1} \cdot \overline{G_{2A}} \cdot \overline{G_{2B}} \cdot C \cdot B \cdot A$$

Từ bảng sự ta có thể vẽ được sơ đồ mạch logic của mạch giải mã trên



Hình 7.9 Cấu trúc mạch giải mã 3 sang 8

Nhiều hàm logic có ngõ ra là tổ hợp của nhiều ngõ vào có thể được xây dựng từ mạch giải mã kết hợp với một số cổng logic ở ngõ ra (mạch giải mã chính là 1 mạch tổ hợp nhiều cổng logic cỡ MSI). Mạch giải mã đặc biệt hiệu quả hơn so với việc sử dụng các cổng logic rời trong trường hợp có nhiều tổ hợp ngõ ra.

Ví dụ: Thực hiện mạch cộng 3 số X, Y, Z cho tổng là S và số nhớ là C bằng mạch giải mã

X	Y	Z	S	C
---	---	---	---	---