

BỘ CÔNG THƯƠNG
TRƯỜNG CAO ĐẲNG CÔNG NGHIỆP VÀ THƯƠNG MẠI

GIÁO TRÌNH
Tên mô đun: Vi mạch số lập trình
NGHỀ: ĐIỆN TỬ CÔNG NGHIỆP
TRÌNH ĐỘ TRUNG CẤP/CAO ĐẲNG NGHỀ

Ban hành kèm theo Quyết định số: /QĐ-CĐCNPY, ngày tháng năm 2018
của Hiệu trưởng trường Cao đẳng Công nghiệp và Thương mại

Vĩnh Phúc, năm 2018

MỤC LỤC

Trang

CHƯƠNG TRÌNH MÔ ĐUN	2
BÀI 1: ĐẠI CƯƠNG VỀ LẬP TRÌNH CỖ NHỎ	4
1.1. Tổng quan về điều khiển lập trình:.....	4
1.1.1. Điều khiển nối cứng và điều khiển lập trình	4
1.1.2. Cấu trúc của một bộ lập trình cỡ nhỏ	5
1.2. Thiết bị điều khiển lập trình.....	11
1.2.1. Địa chỉ các ngõ vào/ ra.....	11
1.2.2. Phần chữ chỉ vị trí và kích thước của ô nhớ.	13
1.2.3. Ma trận Fast CONNECT Switch.....	14
1.2.4. Cấu trúc bộ nhớ	15
1.3. Xử lý chương trình.....	16
1.3.1. Vòng quét chương trình	16
1.3.2. Cấu trúc chương trình	16
1.3.3. Phương pháp lập trình.....	21
1.4. Cài đặt sử dụng phần mềm.....	22
1.4.1. Những yêu cầu với máy tính PC.....	22
1.4.2. Cài đặt phần mềm lập trình ứng dụng.....	24
BÀI 2: CÁC TẬP LỆNH CỦA DỮ LIỆU	26
2.1. Các liên kết logic.....	26
2.1.1. Các lệnh vào/ra và các lệnh tiếp điểm đặc biệt.....	26
2.1.2. Các lệnh liên kết logic cơ bản	28
2.1.3. Liên kết các công logic cơ bản	31
2.2.4. Bài tập ứng dụng	34
2.2. Các lệnh ghi/xóa giá trị cho tiếp điểm.....	34
2.2.1. Lệnh Set(s) và Reset(r)	34
2.2.2. Các ví dụ	35
2.3. Timer	40
2.3.1. On - Delay Timer (TON)	40
2.3.2. Retentive On - Delay Timer (TONR)	53
2.4. Counter (Bộ đếm).....	55
2.4.1. Bộ đếm lên (Counter up).....	55

2.4.2. Bộ đếm lên/ xuống (Counter up - down)	56
BÀI 3: CÁC PHÉP TOÁN SỐ CỦA BỘ LẬP TRÌNH CỖ NHỎ	61
3.1. Chức năng truyền dẫn.....	61
3.1.1. Truyền Byte, Word, Doubleword.	61
Tạo Project trên ISE	69
3.2. Chức năng so sánh.....	74
3.2.1. Chức năng dịch chuyển.....	74
3.3. Đồng hồ thời gian.....	104
BÀI 4: LẮP ĐẶT MÔ HÌNH ĐIỀU KHIỂN BẰNG LẬP TRÌNH CỖ NHỎ	107
4.1. Giới thiệu	107
Cách nối dây	107
4.3. Các mô hình và bài tập ứng dụng.....	108
4.3.1. Điều khiển van điện từ 2 cuộn dây	108
4.3.3 Điều khiển hệ thống cung cấp thủy lực	114
4.3.4. Điều khiển hệ thống thông gió	116
4.3.5. Điều khiển động cơ thuận nghịch.....	119

CHƯƠNG TRÌNH MÔ ĐUN

Tên mô đun: VI MẠCH SỐ LẬP TRÌNH (FPGA)

Mã mô đun:

Thời gian thực hiện mô đun: 75 giờ (Lý thuyết: 15 giờ; Thực hành: 57 giờ; KT: 3 giờ)

I. Vị trí, tính chất của mô đun:

- Vị trí: Trước khi học mô đun này cần hoàn thành các môn học cơ sở nghề và một số mô đun chuyên môn nghề như: PLC cơ bản, Kỹ thuật Vi điều khiển.
- Tính chất: Là mô đun tự chọn trong chương trình đào tạo ngành/ nghề Điện tử công nghiệp.

II. Mục tiêu mô đun:

- Về kiến thức:
 - + Trình bày được nguyên lý hệ điều khiển lập trình cỡ nhỏ
 - + Phân tích được cấu tạo phần cứng và nguyên tắc hoạt động của bộ lập trình cỡ nhỏ.
- Về kỹ năng:
 - + Thực hiện được một số bài toán ứng dụng đơn giản trong công nghiệp.
 - + Kết nối thành thạo phần cứng của bộ lập trình cỡ nhỏ, PC với thiết bị ngoại vi.
 - + Viết chương trình và nạp được chương trình vào bộ lập trình cỡ nhỏ để thực hiện được một số bài toán ứng dụng đơn giản trong công nghiệp.
- Về năng lực tự chủ và trách nhiệm:
 - + Chủ động, sáng tạo và đảm bảo an toàn trong quá trình học tập.

III. Nội dung mô đun:

1. Nội dung tổng quát và phân phối thời gian:

STT	Tên các bài trong mô đun	Thời gian			
		Tổng số	Lý thuyết	Thực hành, thí nghiệm, thảo luận, bài tập	Kiểm tra

1	Bài 1: Đại cương về điều khiển lập trình cỡ nhỏ 1.1. Tổng quát về điều khiển lập trình 1.2. Thiết bị điều khiển lập trình. 1.3. Xử lý chương trình. 1.4. Cài đặt và sử dụng phần mềm.	2	2	0	0
2	Bài 2: Các tập lệnh của dữ liệu. 2.1. Các liên kết logic 2.2. Các lệnh ghi/xóa giá trị cho tiếp điểm. 2.3. Timer. 2.4. Counter (Bộ đếm).	15	4	10	1
3	Bài 3: Các phép toán số của bộ lập trình cỡ nhỏ 3.1. Chức năng truyền dẫn. 3.2. Chức năng so sánh 3.3. Đồng hồ thời gian thực	30	4	25	1
4	Bài 4: Lắp đặt mô hình điều khiển bằng bộ lập trình cỡ nhỏ. 4.1. Giới thiệu. 4.2. Cách kết nối dây 4.3. Các mô hình và bài tập ứng dụng.	28	5	22	1
	Cộng:	75	15	57	3

BÀI 1: ĐẠI CƯƠNG VỀ LẬP TRÌNH CỖ NHỎ

Mục tiêu:

- Trình bày được cấu trúc và nhiệm vụ các khối chức năng của bộ lập trình cỡ nhỏ.
- Thực hiện được sự kết nối giữa bộ lập trình cỡ nhỏ và các thiết bị ngoại vi.
- Mô tả được cấu trúc của chương trình bộ lập trình cỡ nhỏ
- Chủ động, sáng tạo và đảm bảo an toàn trong quá trình học tập.

Nội dung chính:

1.1. Tổng quan về điều khiển lập trình:

1.1.1. Điều khiển nối cứng và điều khiển lập trình

Vi mạch khả trình gồm các dạng sau:

- ▼ SPLD (Simple Programmable Logic Device) bao gồm các loại IC khả trình PROM, PAL, PLA, GAL. Đặc điểm chung của nhóm IC này là chứa số lượng cổng tương đương vài chục (PROM) đến vài trăm (PAL, GAL) cổng.
- ▼ CPLD (Complex Programmable Logic Device) là IC khả trình phức tạp thường được ghép từ nhiều SPLD trên một chip đơn. Số lượng cổng tương đương của CPLD đạt từ hàng nghìn đến hàng chục nghìn cổng.
- ▼ FPGA (Field – Programmable Gate Array) là IC khả trình được cấu trúc từ mảng các khối logic lập trình được.

PROM (Programmable Read – Only Memory) được phát minh bởi Wen Tsing Chow năm 1956 khi làm việc tại Arma Division của công ty American Bosch Arma tại Garden, New York. PROM được chế tạo theo đơn đặt hàng từ lực lượng không quân Mỹ lúc bấy giờ với mục đích có được một thiết bị lưu trữ các tham số về mục tiêu một cách an toàn và linh động. Thiết bị này dùng trong máy tính của hệ thống phóng tên lửa Atlas E/F và được giữ bí mật trong vòng vài năm trước khi Atlas E/F trở nên phổ biến. PROM là vi mạch lập trình đầu tiên và đơn giản nhất trong nhóm các vi mạch bán dẫn có thể lập trình được (PLD – Programmable Logic Device).

PAL (Programmable Array Logic) ra đời cuối những năm 1970. Cấu trúc của PAL kế thừa cấu trúc của PROM, sử dụng hai mảng logic nhưng nếu như ở các PROM mảng OR là mảng lập trình được thì ở PAL mảng AND lập trình được, còn mảng OR được gắn cứng, nghĩa là các thành phần tích có thể thay đổi nhưng tổ hợp của chúng sẽ cố định, cải tiến này tạo sự linh hoạt hơn trong

việc thực hiện các hàm khác nhau. Ngoài ra cấu trúc PAL còn phân biệt với PROM là ở mỗi đầu ra của mảng OR lập trình được được dẫn bởi khối logic gọi là Macrocell.

PLA (Programmable Logic Array) ra đời năm 1975, và là chip lập trình thứ hai sau PROM. Cấu trúc của PLA không khác nhiều so với cấu trúc của PAL, ngoại trừ khả năng lập trình ở cả hai ma trận AND và OR. Nhờ cấu trúc đó mà PLA có khả năng lập trình linh động hơn, nhưng bù lại tốc độ của PLA thấp hơn nhiều so với PROM và PAL và các sản phẩm cùng loại. Thực tế PLA được ứng dụng không nhiều và nhanh chóng bị thay thế bởi những công nghệ mới hơn như GAL, CPLD,...

GAL (Generic Array Logic) được phát triển bởi công ty Lattice Semiconductor vào năm 1983. Cấu trúc của GAL không khác biệt PAL nhưng thay vì lập trình sử dụng công nghệ cầu chì nghịch thì GAL dùng công nghệ PROM CMOS xóa bằng điện, chính vì vậy mà đôi khi tên gọi GAL ít được sử dụng, mà còn gọi là PAL được cải tiến.

Tất cả các chip khả trình PROM, PAL, GAL có khuyết điểm là thiết kế đơn giản, chi phí thấp cho sản xuất cũng như thiết kế, có thể chuyển dễ dàng từ công nghệ này sang công nghệ khác. Tuy nhiên, nhược điểm của nó là tốc độ làm việc thấp, số lượng cổng logic tương đương nhỏ, do đó không đáp ứng được những thiết kế phức tạp đòi hỏi nhiều tài nguyên và tốc độ cao hơn, chính vì vậy mà CPLD (Complex Programmable Logic Devices) ra đời.

CPLD được Altera tiên phong nghiên cứu và chế tạo đầu tiên, nhằm tạo ra những IC khả trình dung lượng lớn như MAX5000, MAX7000. Sau sự thành công của hãng Altera, thì một loạt các hãng khác cũng bắt tay vào nghiên cứu chế tạo CPLD như Xilinx với các dòng sản phẩm như họ CPLD XC95xx, Lattice với họ ISP Mach 4000, ISP March XO,...

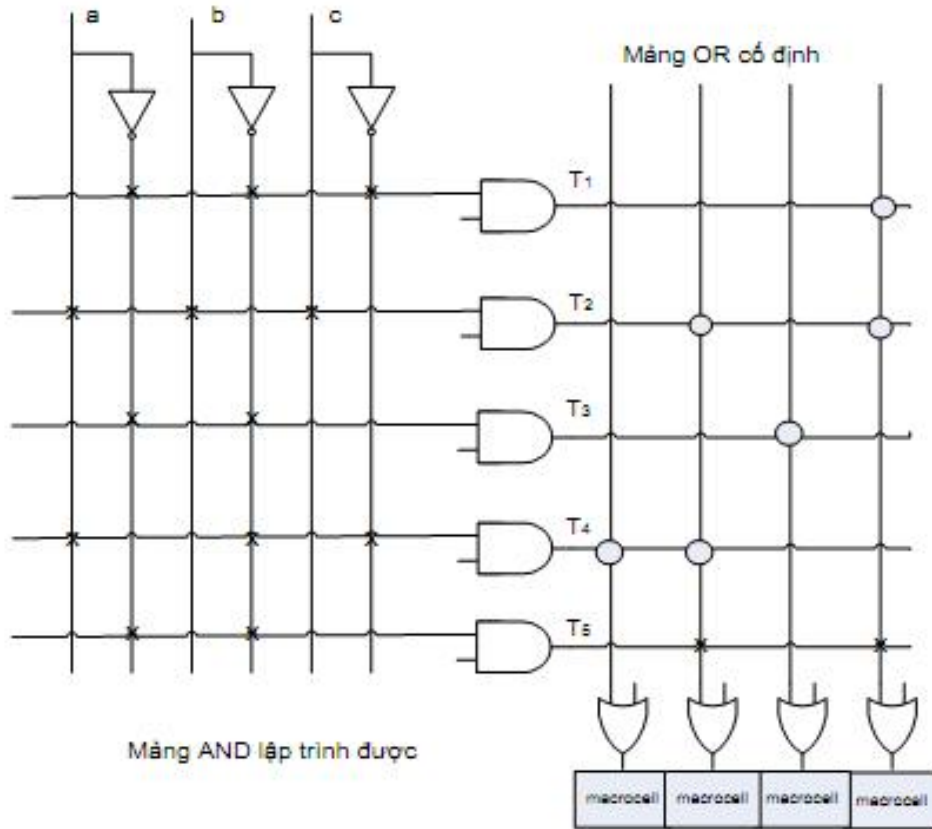
Số lượng cổng của CPLD ngày càng trở nên nhỏ cho những ứng dụng lớn và phức tạp hơn. Năm 1985, công ty Xilinx đưa ra ý tưởng hoàn toàn mới, đó là kết hợp thời gian hoàn thành sản phẩm và khả năng điều khiển được của PLD với mật độ và ưu thế về chi phí của Gate Array để tạo ra FPGA (Field Programmable Gate Array). Hiện nay, Xilinx vẫn là nhà sản xuất chip FPGA số một trên thế giới. FPGA có cấu trúc và hoạt động phức tạp hơn CPLD.

1.1.2.Cấu trúc của một bộ lập trình cỡ nhỏ

Trong phần này trình bày cấu trúc của một số loại IC khả trình thuộc dòng SPLD như PAL, GAL, PLA.

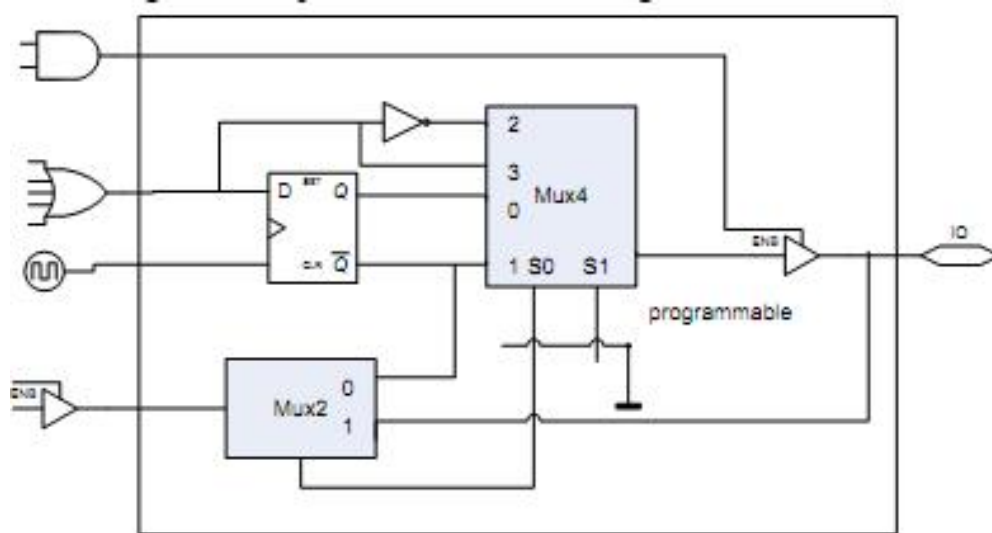
PAL:

PAL được cấu trúc từ các mảng AND lập trình được và các mảng OR được gắn cứng, đồng thời mỗi đầu ra của mảng OR lập trình được dẫn bởi khối logic gọi là Macrocell như trong hình 1.1.



Hình 1.1 – Cấu trúc PAL

Hình 1.2 minh họa cho ta thấy một macrocell (MC). Mỗi macrocell chứa một flip-flop, bộ mux2 và mux8 và cổng logic ba trạng thái. Tín hiệu điều khiển của mux4 có thể được lập trình để cho phép dẫn tín hiệu lần lượt qua các đầu vào 0, 1, 2, 3 của bộ mux4 và gửi ra ngoài cổng giao tiếp IO. Tùy thuộc vào cấu hình này mà tín hiệu có thể được gửi ra ngoài IO hay không.

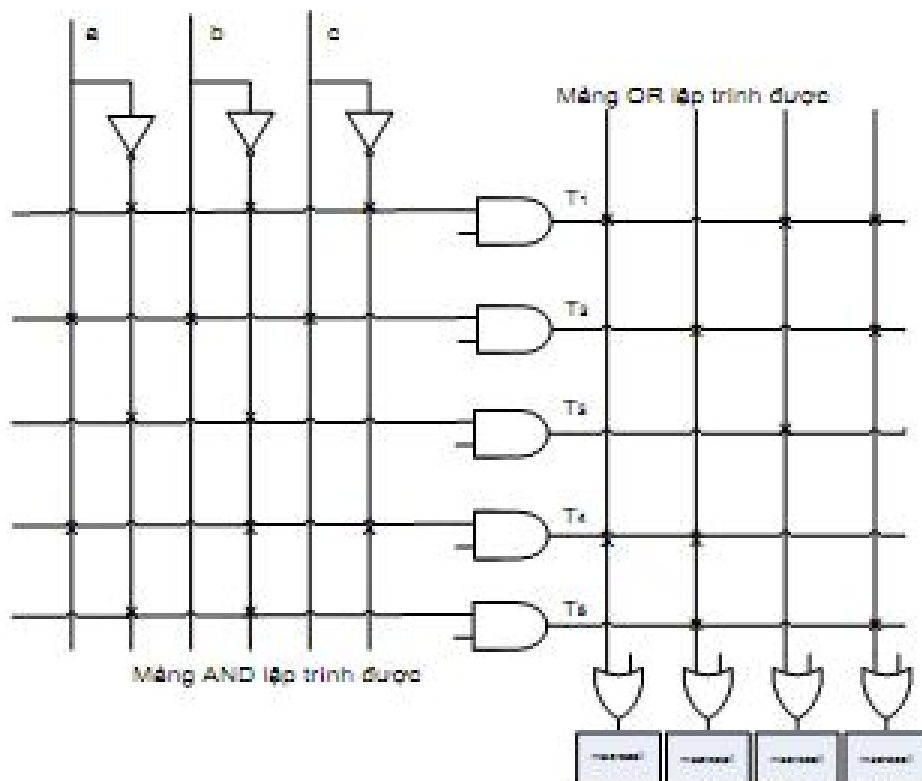


Hình 1.2 – Cấu trúc Macrocell

Nhờ có cấu trúc macrocell mà PAL có thể được sử dụng không những để thực hiện các hàm logic tổ hợp mà cả các hàm logic tuần tự.

PLA:

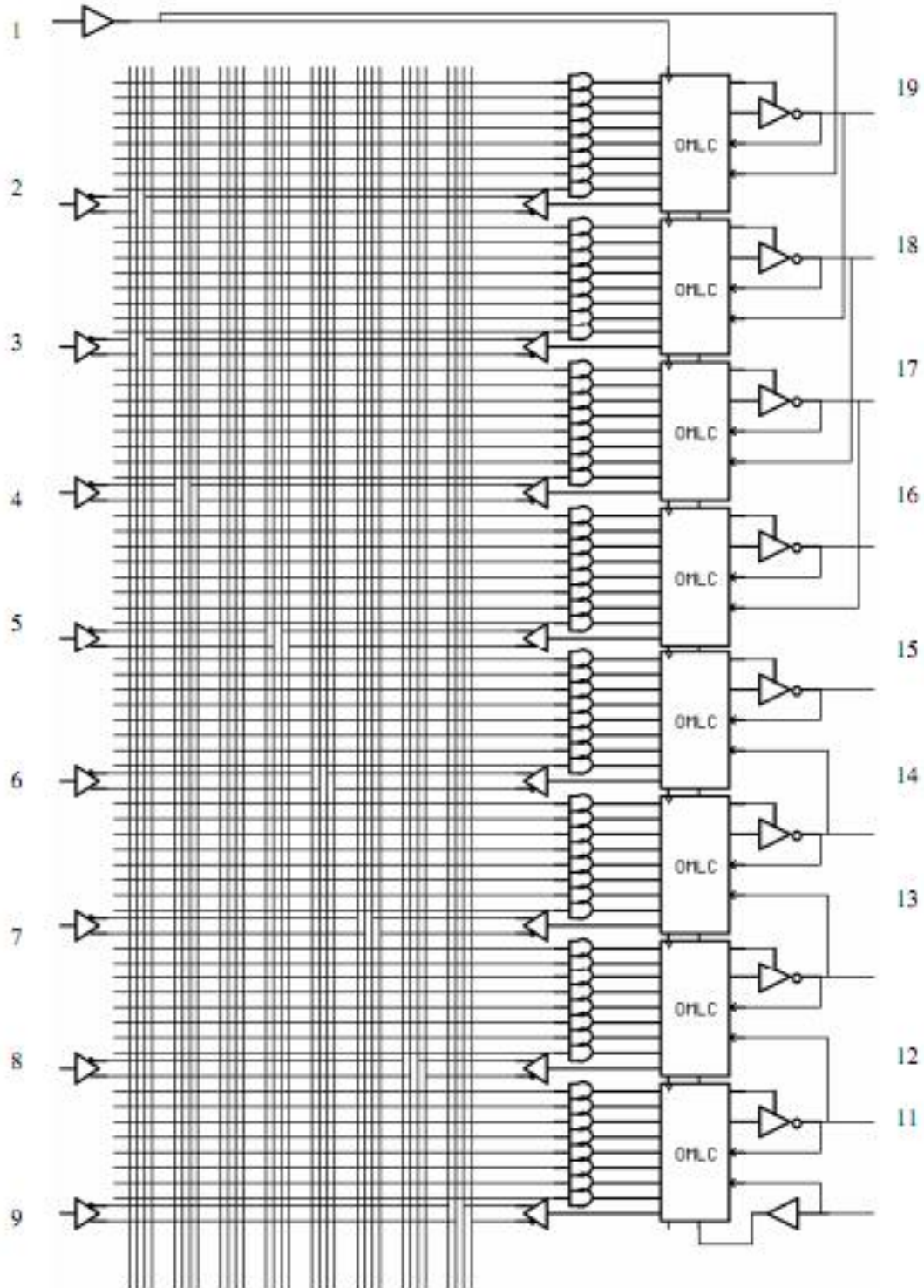
Cấu trúc PLA khác cấu trúc PAL là ở chỗ PLA có thể lập trình ở cả hai ma trận AND và ma trận OR (hình 1.3).



Hình 1.3 – Cấu trúc PLA

GAL

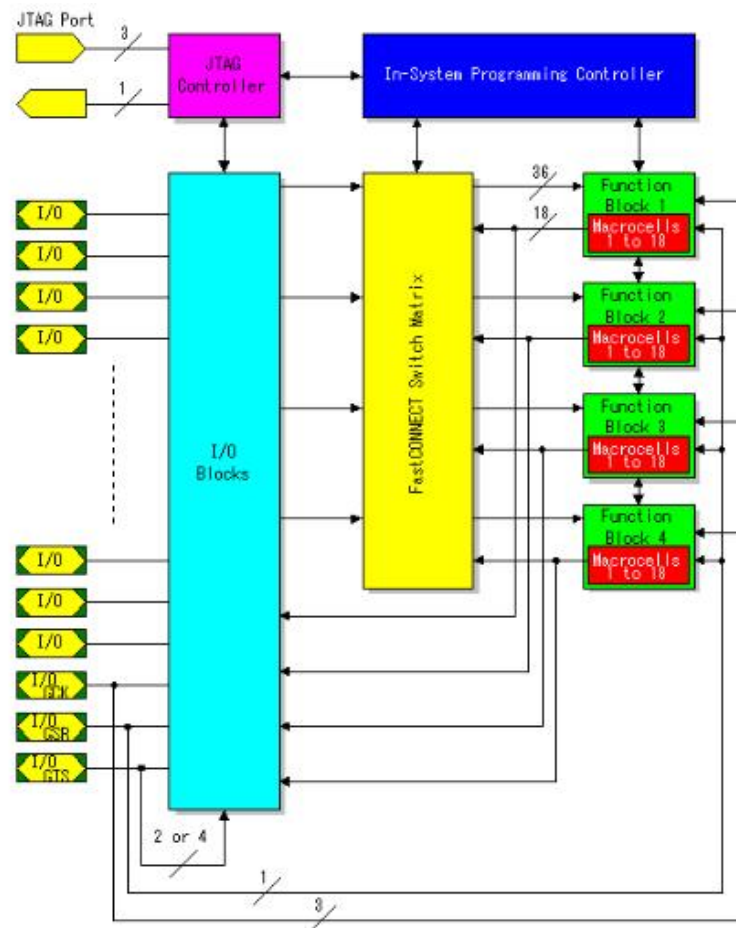
Như đã trình bày ở phần 1.1, thì cấu trúc của GAL không khác biệt PAL, nhưng thay vì lập trình sử dụng công nghệ cầu chì nghịch thì GAL sử dụng công nghệ PROM CMOS xóa bằng điện, do đó GAL cho phép lập trình lại giống như EEPROM.



Hình 1.4 – Cấu trúc họ vi mạch GAL

Cấu trúc cơ bản của CPLD:

Mục tiêu: trình bày cho người học hiểu rõ cấu trúc cơ bản của họ vi mạch khả trình CPLD.



Hình 1.5 – Cấu trúc cơ bản của CPLD

Thiết bị khả trình phức tạp CPLD (Complex PLD) có mật độ logic cao hơn so với các PLD đơn giản đã xem xét ở phần trên. CPLD bao gồm nhiều mạch logic, mỗi mạch có thể coi là một SPLD. Trong một mạch đơn chỉ thực hiện các chức năng logic đơn giản. Các chức năng logic phức tạp cần số lượng khối nhiều hơn, sử dụng ma trận liên kết chung giữa các khối để tạo kết nối. CPLD thường dùng để điều khiển ghép công phức tạp ở tốc độ rất cao (5ns, tương đương với 200MHz). Cấu trúc cơ bản của CPLD được minh họa trong hình 1.5.

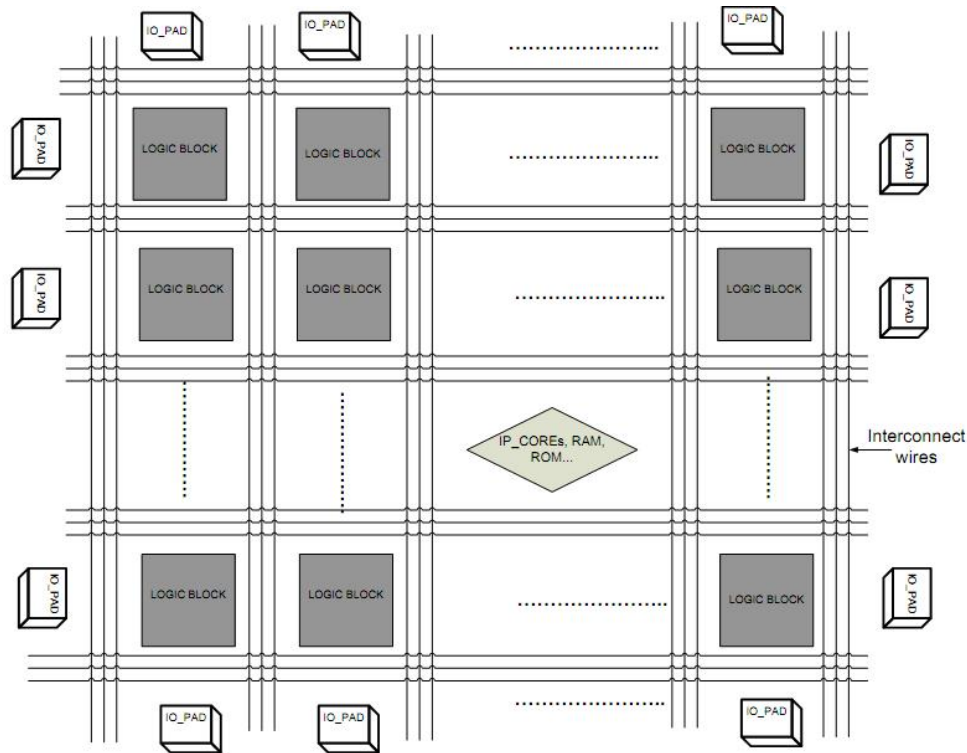
CPLD có cấu trúc đồng nhất gồm nhiều khối chức năng "**Function Block**" được kết nối với nhau thông qua một ma trận kết nối "**FastCONNECT**".

Switch matrix". Mỗi khối function block gồm có một khối logic - gồm các dạng tích AND và OR sắp xếp giống PLA hoặc PAL, cho phép thực hiện các hàm logic tổ hợp, và nhiều khối MC (Macrocell) có chứa tài nguyên là các Trơ cho phép xây dựng các thanh ghi và mạch tuần tự. Phần lõi bên trong của CPLD được nối ra bên ngoài thông qua các khối vào ra I/O cho phép thiết lập chức năng cho các chân của IC có chức năng vào hoặc ra hoặc vừa là chân vào vừa là chân ra, ngoài ra còn có thể thiết lập các chân I/O này làm việc ở các mức logic khác nhau, có điện trở pull-up hoặc pull-down,...

Với cấu trúc đồng nhất, giá thành rẻ, tính năng khá mạnh, dễ sử dụng nên CPLD đã và đang được sử dụng rất rộng rãi trong thực tế, giúp cho nhà sản xuất phát triển nhanh sản phẩm của mình với giá thành rẻ. Đặc biệt hiện nay các hãng đã phát triển các họ CPLD với tính năng rất mạnh, công suất tiêu thụ thấp, chúng đang được sử dụng rất nhiều để phát triển các sản phẩm điện tử, viễn thông, công nghệ thông tin, nhất là trong các thiết bị cầm tay, di động...

Trong thực tế rất có nhiều loại CPLD khác nhau, của các hãng khác nhau, và đã được phát triển với nhiều chủng loại, thế hệ CPLD khác nhau. Cấu tạo, dung lượng, tính năng, đặc điểm, ứng dụng... của mỗi loại CPLD cũng rất khác nhau. Trong giáo trình này không đi sâu trình bày cấu tạo cụ thể của tất cả các họ CPLD, mà chỉ trình bày kiến trúc chung đơn giản nhất của CPLD. Khi sử dụng cụ thể loại CPLD nào, người học nên tham khảo các tài liệu khác, nhất là tham khảo các tài liệu kỹ thuật được cung cấp kèm theo cấu kiện do các hãng đưa ra (datasheet). Các hãng điện tử nổi tiếng trên thế giới đang sở hữu, phát triển, cung cấp các loại linh kiện CPLD là Xilinx, Altera...

Cấu trúc cơ bản của FPGA:



Hình 1.6 – Cấu trúc của FPGA

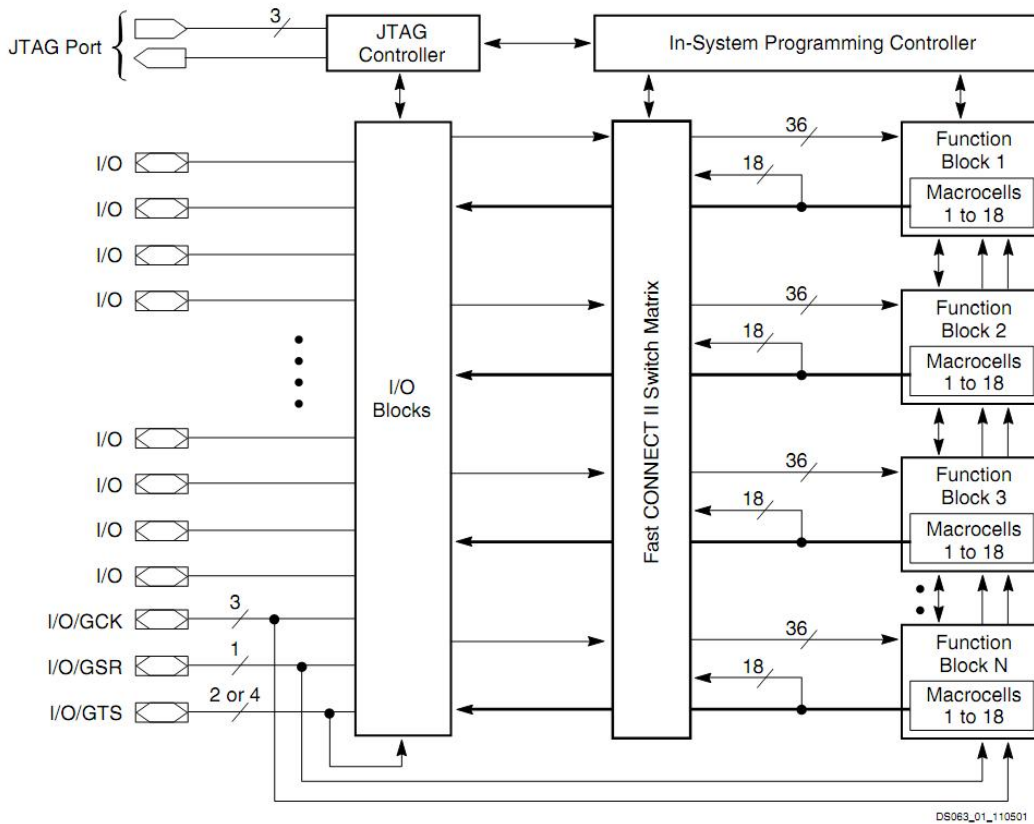
Hình 1.6 trình bày cấu trúc tổng quan nhất cho các loại FPGA hiện nay. Cấu trúc chi tiết và tên gọi của các thành phần có thể thay đổi tùy theo các hãng sản xuất khác nhau, nhưng về cơ bản FPGA được cấu thành từ các khối logic (Logic Block), số lượng của các khối này thay đổi từ vài trăm đến vài chục nghìn, và được bố trí dưới dạng ma trận, chúng được kết nối với nhau thông qua hệ thống các kênh nối khả trình. Hệ thống này còn có nhiệm vụ kết nối với các cổng giao tiếp vào ra (IO_PAD) của FPGA. Số lượng các chân vào ra thay đổi từ vài trăm đến hàng nghìn chân.

Bên cạnh các thành phần chính đó, những FPGA cỡ lớn còn được tích hợp cứng những khối thiết kế sẵn mà thuật ngữ gọi là *Hard IP cores*, các IP cores này có thể là các bộ nhớ RAM, ROM, các khối thực hiện phép nhân, khối thực hiện phép xử lý tín hiệu số (DSP),...bộ vi xử lý cỡ nhỏ và vừa như Power PC hay ARM.

1.2.Thiết bị điều khiển lập trình

1.2.1. Địa chỉ các ngõ vào/ ra.

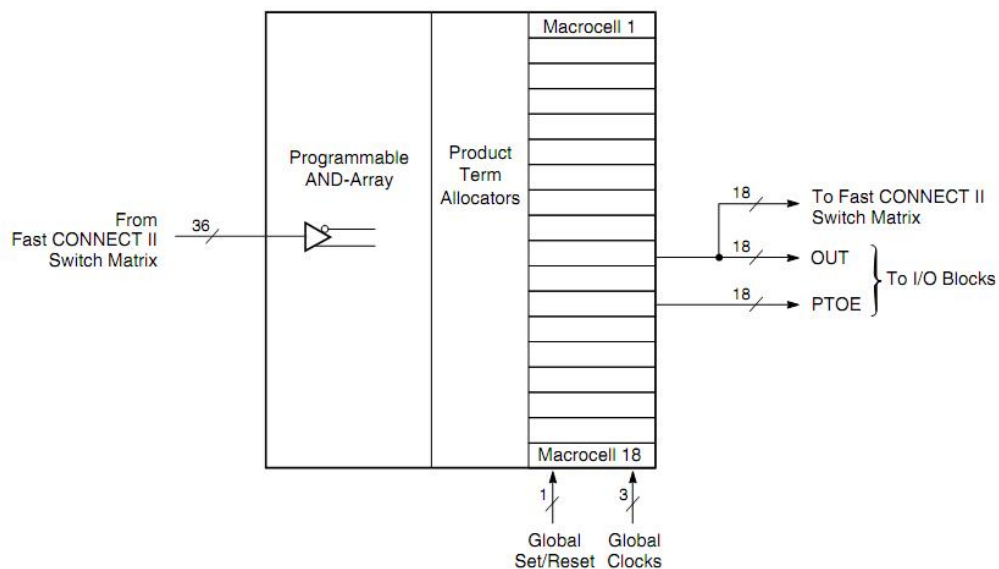
Cấu trúc cơ bản của họ CPLD XC9500 được mô tả trong hình 2.1.



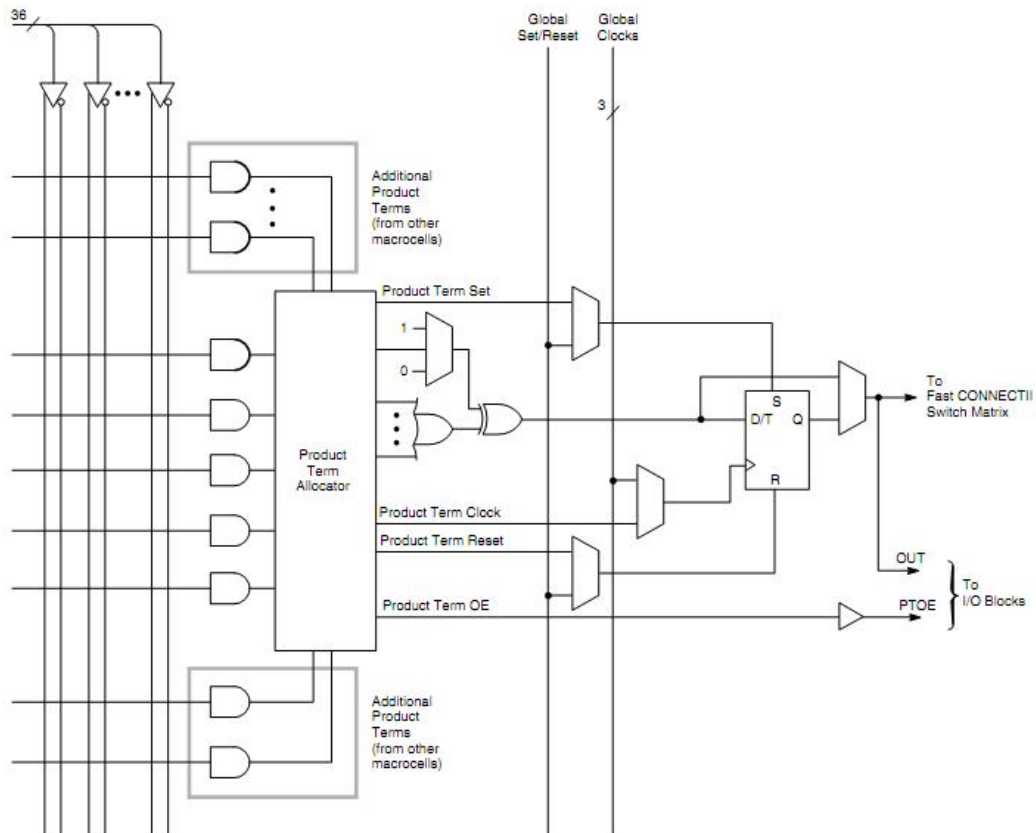
Hình 2.1 – Cấu trúc họ CPLD XC9500

Mỗi khối chức năng (Function Block: FB) được cho trong hình 2.1 bao gồm 18 macrocell độc lập nhau, mỗi macrocell có thể thực thi các hàm kết hợp hoặc thanh ghi.

Mỗi khối FB có bộ nhận xung clock, kết nối đến ngõ ra và set/reset các tín hiệu. Các FB tạo ra 18 ngõ ra kết nối tới ma trận Fast CONNECT switch.



Hình 2.2 – Khối FB của XC9500



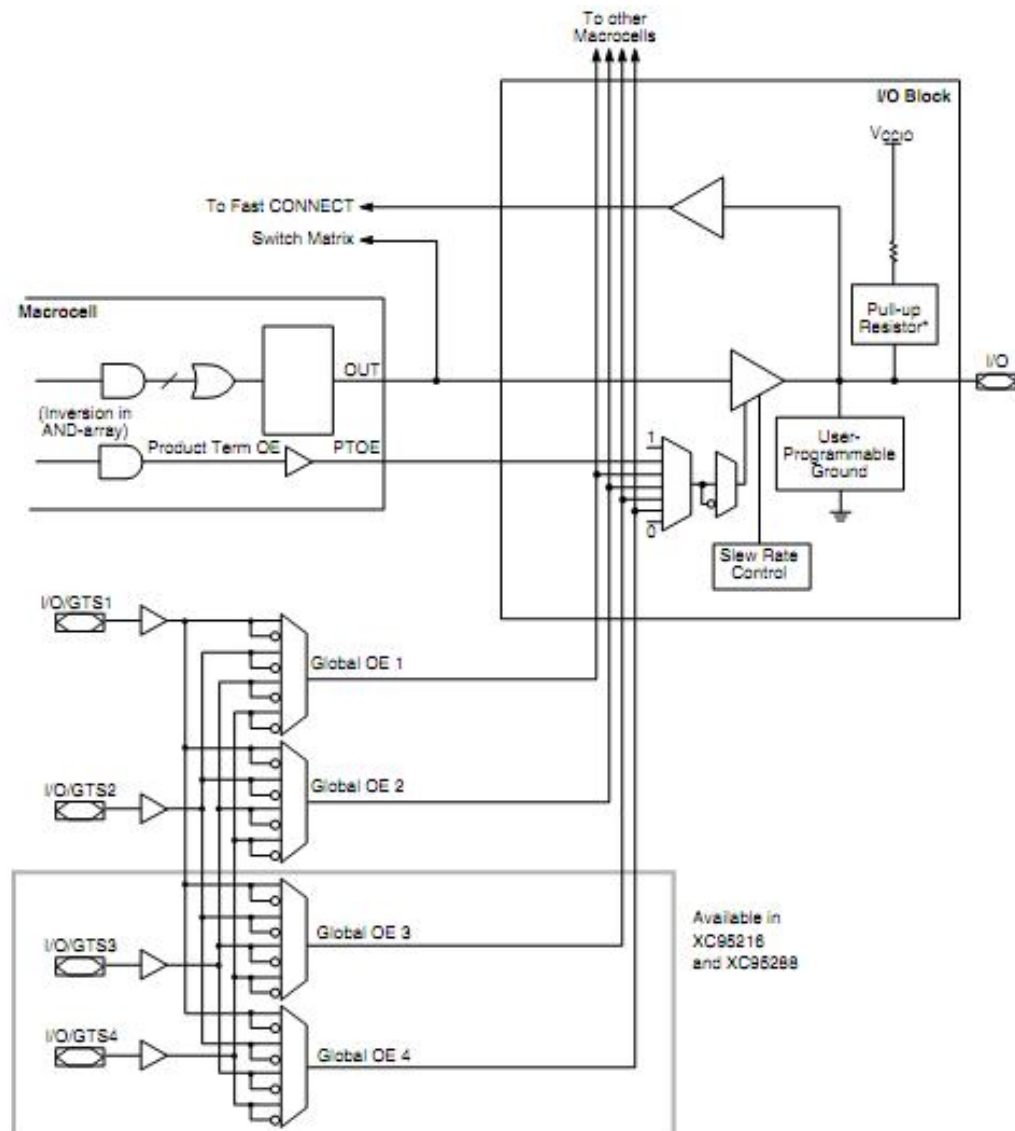
Hình 2.3 – Cấu trúc macrocell bên trong khối FB

1.2.2. Phần chữ chỉ vị trí và kích thước của ô nhớ.

Khối IO (IOB) giao tiếp giữa các logic bên trong và các chân người dùng bên ngoài. Mỗi IOB bao gồm bộ đệm ngõ vào, bộ lái, bộ mux ngõ ra và bộ điều khiển tiếp đất người dùng có thể lập trình được (hình 2.4).

Bộ đệm ngõ vào tương thích với chuẩn CMOS 5V, TTL 5V và các mức tín hiệu 3.3V. Bộ đệm ngõ vào sử dụng điện áp cung cấp bên trong 5V (V_{CCINT}) để đảm bảo ngưỡng ngõ vào là hằng số và không khác với điện áp V_{CCIO} .

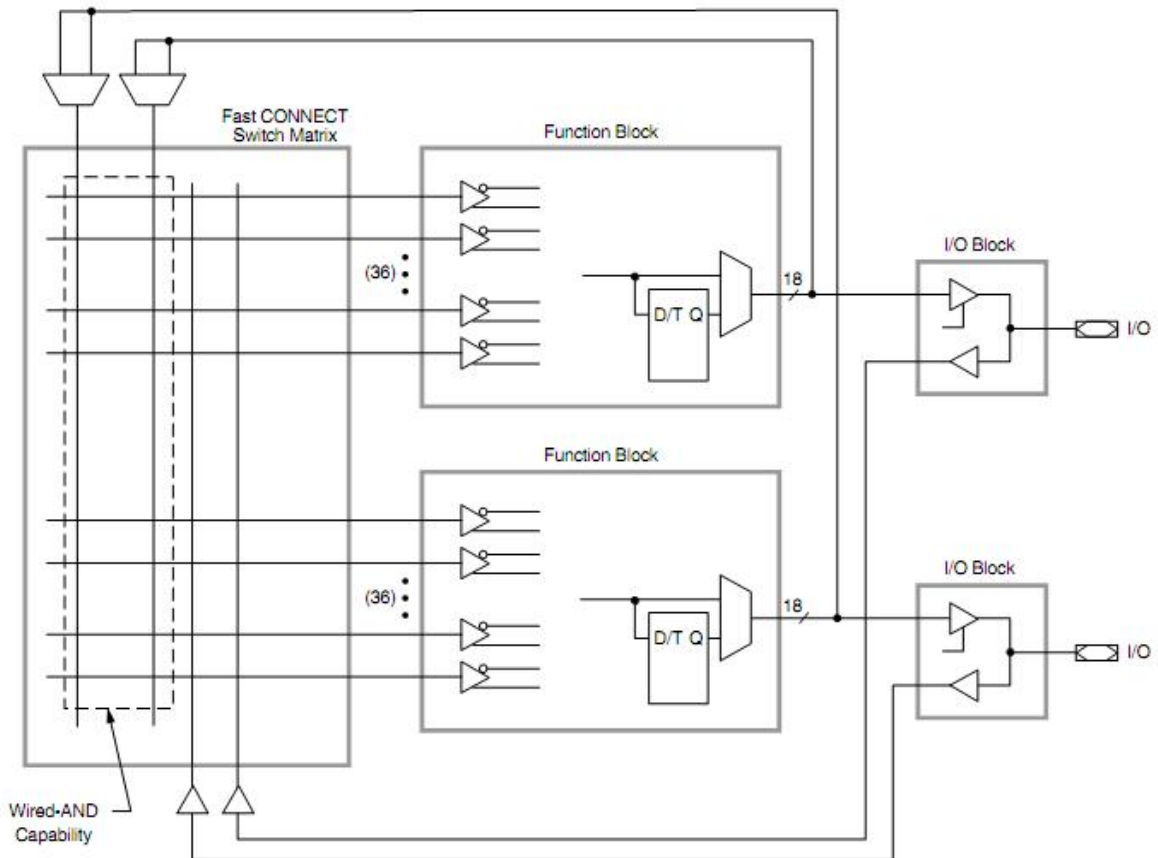
Ngõ ra kết nối có thể được tạo ra từ một trong bốn lựa chọn: tín hiệu được tạo ra từ macrocell, các tín hiệu OE toàn cục, luôn luôn là mức “1” hoặc luôn luôn mức “0”. Có hai ngõ vào kết nối toàn cục cho thiết bị với 144 macrocell, và bốn ngõ vào kết nối toàn cục kết nối tới các thành phần. Cả hai cực của bộ điều khiển ba trạng thái của các chân (GTS) có thể được sử dụng trong thiết bị.



Hình 2.4 – Khối IO và kết nối ngõ ra của CPLD XC9500

1.2.3. Ma trận Fast CONNECT Switch

Ma trận Fast CONNECT switch kết nối các tín hiệu tới các ngõ vào FB (hình 2.5). Tất cả các ngõ IOB (tương ứng với các chân ngõ vào người dùng) và tất cả các ngõ ra lái ma trận Fast CONNECT.

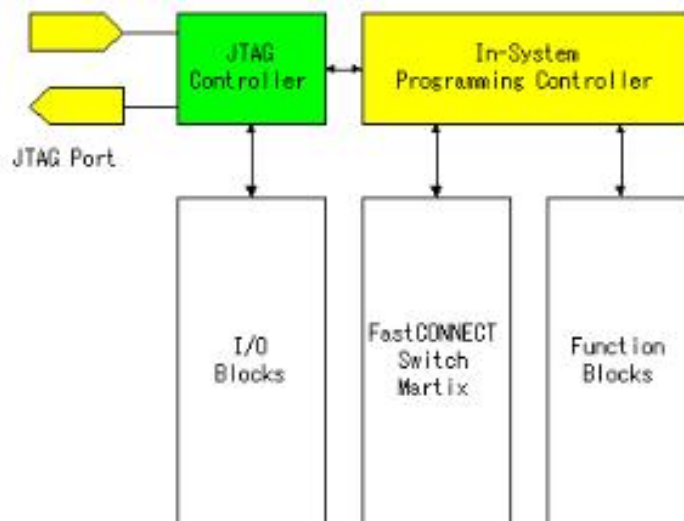


Hình 2.5 – Ma trận Fast CONNECT Switch

1.2.4 Cấu trúc bộ nhớ

Lập trình trong hệ thống:

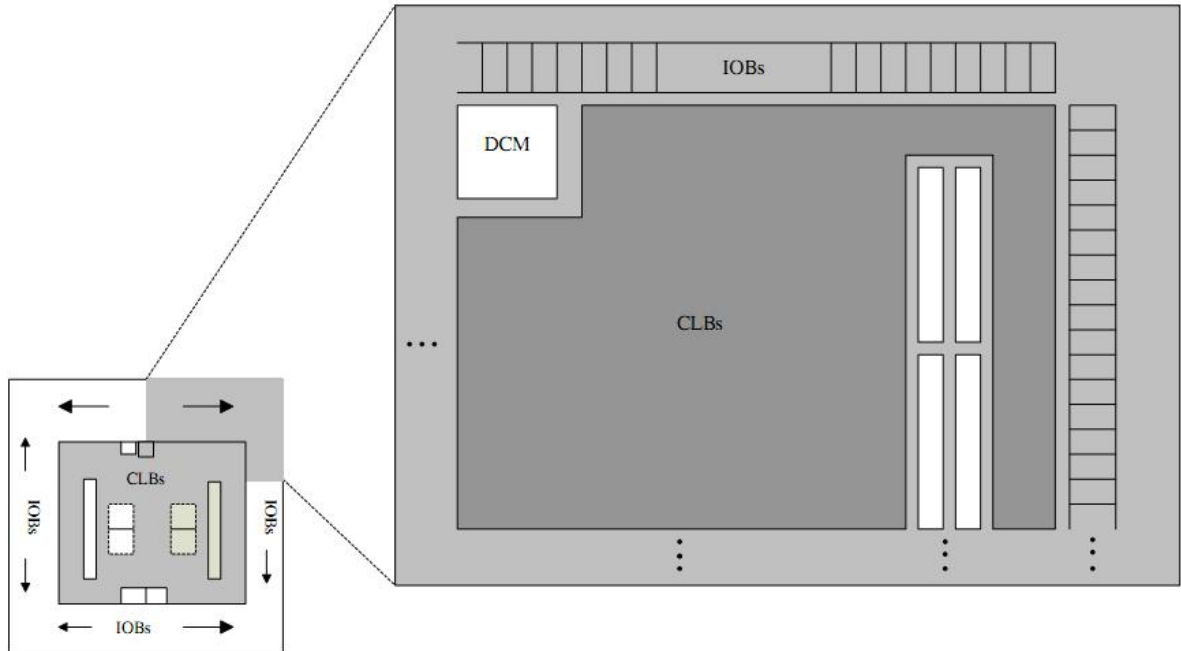
XC9500 được lập trình trong hệ thống với chuẩn JTAG 4 chân (JTAG: Joint Test Group). Khi lập trình, tất cả các port ngõ vào trong khối I/O được thiết lập ở mức cao “H”.



Hình 2.6 – Kết nối CPLD với chuẩn JTAG

1.3. Xử lý chương trình

1.3.1. Vòng quét chương trình



Hình 3.1 – Cấu trúc chung của họ FPGA Spartan 3E

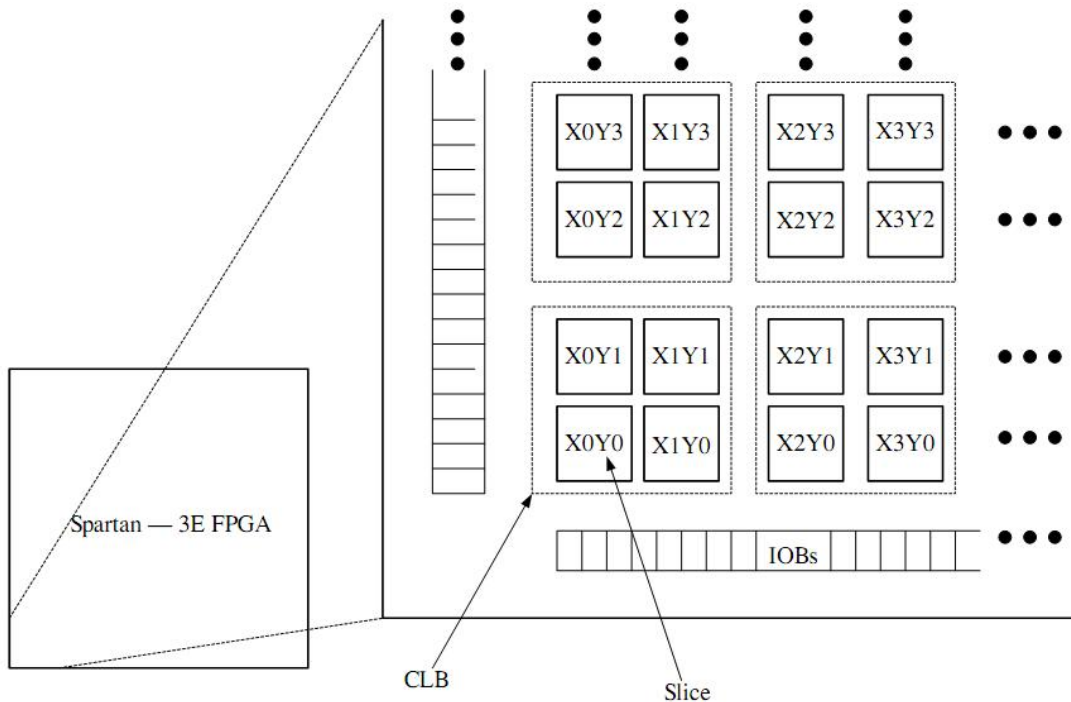
FPGA spartan 3E được cấu trúc từ các thành phần sau:

- ✓ CLBs (Configuration Logic Blocks): là các khối chứa các LUTs (Look Up Tables) để thực thi các phép lưu trữ logic như flip-flop hay chốt, thực thi các hàm logic.
- ✓ IOBs (Input/Output Blocks): là các khối điều khiển dữ liệu giữa các chân I/O và các logic bên trong của thiết bị. Mỗi IOB hỗ trợ dữ liệu hai chiều hoạt động ở ba trạng thái.
- ✓ Khối RAM: cung cấp cho việc lưu trữ dữ liệu với các khối RAM 18Kbit
- ✓ Khối Multiplier : Tính toán các số nhị phân 18 bit
- ✓ Khối DCM (Digial Clock Manager): cung cấp các giải pháp đo, trễ, nhân, chia và dịch pha các tín hiệu clock

1.3.2. Cấu trúc chương trình

Khối logic khả trình của FPGA của hãng Xilinx là các khối CLB. CLB là phần tử cơ bản cấu thành FPGA, là nguồn tài nguyên logic chính tạo nên các mạch logic.

Mỗi CLB được cấu thành từ 4 Slice, mỗi Slice lại được cấu thành từ 2 LUT (Look Up Tables). Phân bố của các CLB được thể hiện ở hình 3.2.

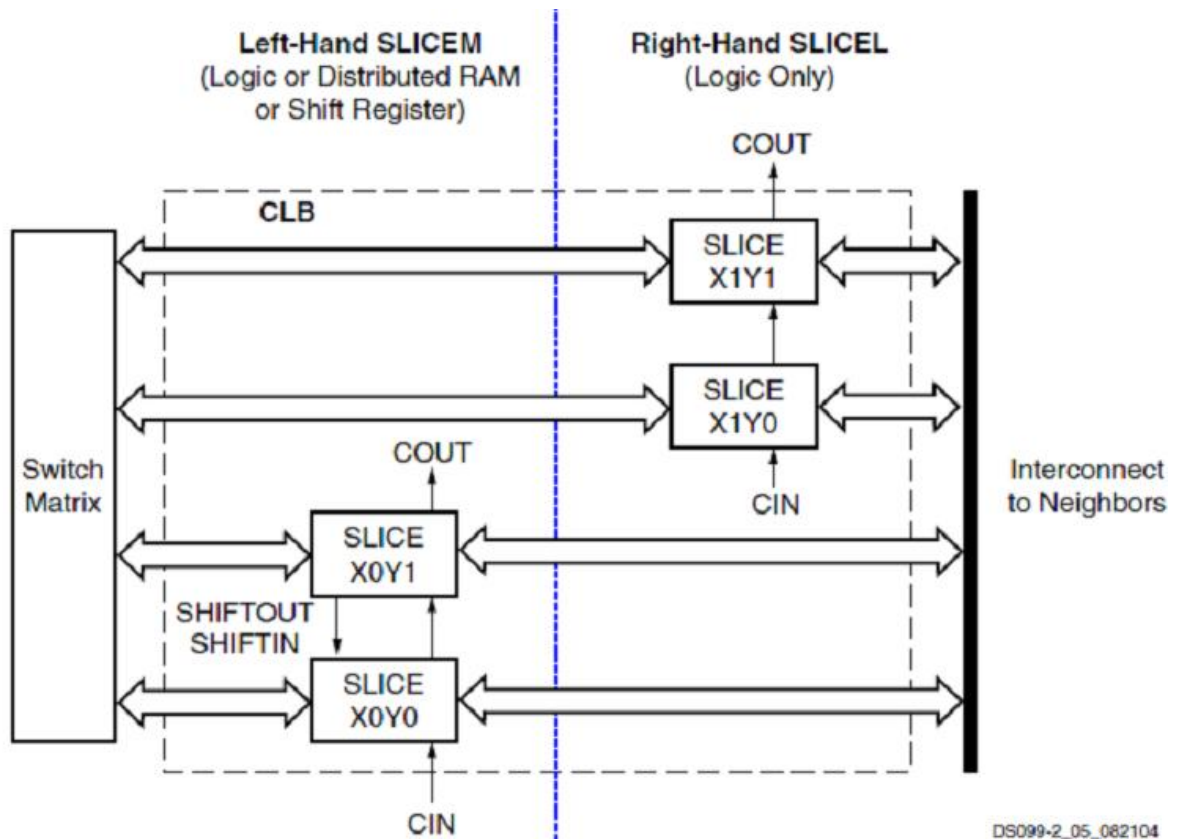


Hình 3.2 – Phân bố của các CLB trong FPGA

Các CLB được phân bố theo hàng và theo cột, mỗi CLB được xác định bằng một tọa độ X và Y trong ma trận. Đối với Spartan 3E thì số lượng hàng thay đổi từ 22 đến 76, số lượng cột từ 16 đến 56 tùy thuộc vào các linh kiện cụ thể.

a. SLICE:

Mỗi CLB được tạo thành từ 4 slice và các slice này chia làm hai nhóm trái và nhóm phải. Nhóm 2 slice bên trái có khả năng thực hiện các chức năng logic và làm việc như phần tử nhớ nên được gọi là SLICEM (Slice Memory). Nhóm hai slice bên phải chỉ thực hiện được các chức năng logic nên được gọi là SLICEL (Slice Logic). Thiết kế như vậy xuất phát từ thực tế nhu cầu thực hiện chức năng logic thường lớn hơn so với nhu cầu lưu trữ dữ liệu, do đó việc hỗ trợ chỉ một nửa làm việc như phần tử nhớ làm giảm kích thước và chi phí FPGA, mặt khác làm tăng tốc độ làm việc cho toàn khối.

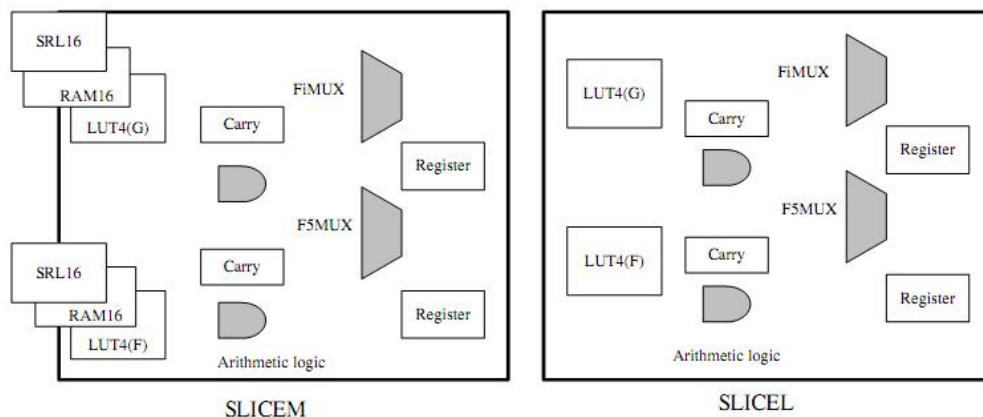


Hình 3.3 – Bố trí slice bên trong một CLB

Cả hai thành phần SLICEM và SLICEL có chứa các thành phần để thực thi các hàm logic, thuật toán và ROM:

- LUT
- Thành phần lưu trữ
- Hai bộ mux mở rộng F5MUX và FiMUX
- Logic nhớ và logic số học

Ngoài ra SLICEM hỗ trợ thêm hai RAM phân bố 16x1 gọi là RAM16 và hai thanh ghi dịch 16 bit là SRL16 như hình 3.4.



Hình 3.4 – Phân bố tài nguyên trong SLICEM và SLICEL