

BỘ LAO ĐỘNG THƯƠNG BINH VÀ XÃ HỘI

TỔNG CỤC DẠY NGHỀ

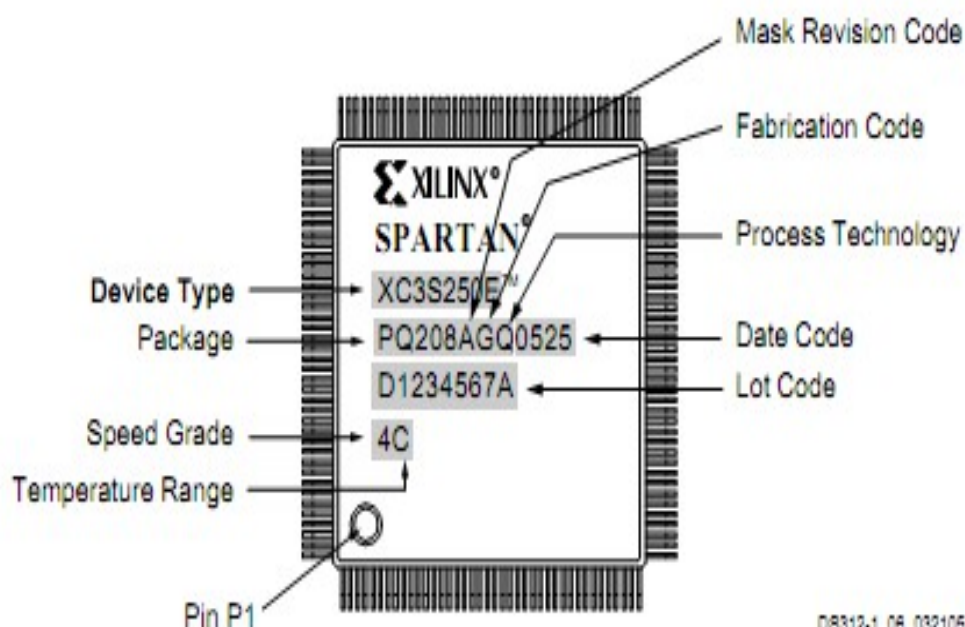
GIÁO TRÌNH

Mô đun: Vi Mạch Số Lập Trình

NGHỀ: ĐIỆN TỬ CÔNG NGHIỆP

TRÌNH ĐỘ: CAO ĐẲNG

*Ban hành kèm theo Quyết định số:120/QĐ-TCDN ngày 25 tháng 02 năm 2013
của Tổng cục trưởng Tổng cục Dạy nghề*



Năm 2013

TUYÊN BỐ BẢN QUYỀN

Tài liệu này thuộc loại giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo.

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

TaiLieu.vn

LỜI GIỚI THIỆU

Để thực hiện biên soạn giáo trình đào tạo nghề Điện tử công nghiệp ở trình độ Cao Đẳng Nghề và Trung Cấp Nghề, giáo trình ***Vi mạch số lập trình*** là một trong những giáo trình mô đun đào tạo chuyên ngành được biên soạn theo nội dung chương trình khung được Bộ Lao động Thương binh Xã hội và Tổng cục Dạy Nghề phê duyệt. Nội dung biên soạn ngắn gọn, dễ hiểu, tích hợp kiến thức và kỹ năng chặt chẽ với nhau, logic.

Trong những năm gần đây, công nghệ FPGA (Field Programmable Gate Array) đã và đang phát triển mạnh mẽ trong lĩnh vực điện tử. FPGA được hiểu như là một IC số có thể lập trình được, được ứng dụng trong việc xử lý tín hiệu số, xử lý số,...để thay thế các IC số thông thường, cổng kênh. Bằng cách sử dụng FPGA người thiết kế có thể tạo ra một mạch điện chức năng thay vì sử dụng nhiều IC số. Chính vì vậy, nhu cầu hiểu biết về IC số có thể lập trình được nói chung và FPGA nói riêng là một nhu cầu cần thiết cho các cán bộ kỹ thuật điện tử.

Nội dung giáo trình được bố cục bao gồm 7 bài với nội dung như sau:

Bài 1: Giới thiệu chung về PLD, CPLD và FPGA

Bài 2: Họ CPLD

Bài 3: Họ FPGA

Bài 4: Quy trình thiết kế cho CPLD và FPGA của hãng Xilinx

Bài 5: Phần mềm ISE và modelsim

Bài 6: Ngôn ngữ Verilog HDL

Bài 7: Một số chương trình ứng dụng

Tuy nhiên, tùy theo điều kiện cơ sở vật chất và trang thiết bị, các trường có thể sử dụng cho phù hợp. Mặc dù đã cố gắng tổ chức biên soạn để đáp ứng được mục tiêu đào tạo nhưng không tránh được những khiếm khuyết. Rất mong nhận được đóng góp ý kiến của các thầy, cô giáo, bạn đọc để nhóm biên soạn sẽ hiệu chỉnh hoàn thiện hơn. Các ý kiến đóng góp xin gửi về Trường Cao đẳng nghề Lilama 2, Long Thành Đồng Nai.

Đồng Nai, ngày 15 tháng 03 năm 2013

Tham gia biên soạn

1. Chủ biên :Ts. Lê Văn Hiền

2. Trần Xuân Thiện

MỤC LỤC

TRANG

<u>LỜI GIỚI THIỆU.....</u>	<u>3</u>
<u>MỤC LỤC.....</u>	<u>4</u>
<u>BÀI 1.....</u>	<u>10</u>
<u>GIỚI THIỆU CHUNG VỀ PLD, CPLD VÀ FPGA</u>	<u>10</u>
1.Lịch sử phát triển:.....	10
2.Sự cần thiết và ý nghĩa thực tế của việc sử dụng mảng logic có thể lập trình được:..	12
3.Cấu trúc cơ bản của PLD:.....	14
3.1PAL:.....	14
3.2PLA:.....	15
3.3GAL.....	16
4.Cấu trúc cơ bản của CPLD:.....	17
5.Cấu trúc cơ bản của FPGA:.....	18
6.Sự khác biệt giữa PLD, CPLD và FPGA:.....	19
7.Phần mềm hỗ trợ:.....	20
<u>BÀI 2.....</u>	<u>22</u>
<u>HỌ CPLD.....</u>	<u>22</u>
1.Giới thiệu chung:.....	22
2.Vi mạch CPLD:.....	24
<u>BÀI 3.....</u>	<u>29</u>
<u>HỌ FPGA.....</u>	<u>29</u>
1.Giới thiệu chung:.....	29
2.Vi mạch FPGA:.....	31
2.1.Mô tả FPGA:.....	32
2.2.Thông số giới hạn:.....	51
2.3.Đặc tính lưu trữ dữ liệu:.....	52
2.4.Đặc tính điện DC:.....	52
2.5.Công suất tiêu thụ:.....	59
2.6.Sơ đồ chân:.....	59
2.7.Ý nghĩa tên linh kiện:.....	75

3.Lựa chọn phương án cấu hình cho FPGA:.....	77
<u>BÀI 4.....</u>	<u>79</u>
<u>QUY TRÌNH THIẾT KẾ CHO CPLD VÀ FPGA CỦA HÃNG XILINX ..</u>	<u>79</u>
1.Phương án lựa chọn CPLD và FPGA.....	79
2.Qui trình thiết kế cho CPLD của hãng Xilinx:.....	80
3.Qui trình thiết kế cho FPGA của hãng Xilinx:.....	84
<u>BÀI 5.....</u>	<u>86</u>
<u>PHẦN MỀM ISE VÀ MODELSIM.....</u>	<u>86</u>
1.Cài đặt và khởi động ISE:.....	86
2.Tạo Project trên ISE:.....	94
3.Cài đặt và khởi động Modelsim:.....	100
4.Mô phỏng dạng sóng trên ISE và Modelsim:.....	106
4.1.Mô phỏng trên ISE:.....	107
4.2.Mô phỏng trên modelsim:.....	116
5.Gán chân thích ứng với thiết bị:.....	130
6.Biên dịch và tổng hợp chương trình:.....	133
7.Đổ chương trình vào CPLD và FPGA:.....	137
8.Tạo và sử dụng core có sẵn từ ISE:.....	150
<u>BÀI 6.....</u>	<u>157</u>
<u>NGÔN NGỮ VERILOG HDL</u>	<u>157</u>
1.Giới thiệu ngôn ngữ Verilog HDL:.....	157
1.1.HDL là gì?.....	157
1.2.Tầm quan trọng của HDL:.....	158
1.3.Đặc điểm nổi bật của Verilog:.....	159
1.4.Xu hướng của HDL:.....	159
2.Tổng quan về ngôn ngữ Verilog:.....	160
2.1.Lịch sử ngôn ngữ Verilog	160
2.2.Phương pháp thiết kế hệ thống:.....	162
2.3.Các khái niệm cơ bản trong Verilog:.....	163
2.4.Module và các port:.....	171
3.Verilog HDL và các mức thiết kế phổ biến:.....	175
3.1.Thiết kế mức cổng:.....	175
3.2.Các cổng cơ bản được định nghĩa sẵn:.....	175
3.3.Thiết kế ở mức Dataflow:.....	179

3.4.Thiết kế ở mức hành vi:.....	191
3.5.Tast và Function:.....	206
4.Bài tập bài 6:.....	213
BÀI 7.....	214
MỘT SỐ CHƯƠNG TRÌNH ỨNG DỤNG	214
1.Điều khiển led đơn:.....	214
1.1.Chương trình chính:.....	214
1.2.Chương trình testbench:.....	216
1.3.kết quả mô phỏng:.....	218
2.Thanh ghi dịch:.....	218
2.1.Chương trình chính:.....	218
2.2.Chương trình testbench:.....	219
2.3.Kết quả mô phỏng:.....	221
3.Mạch đếm:.....	221
3.1.Chương trình chính:.....	221
3.2.Chương trình testbench:.....	223
3.3.Kết quả mô phỏng:.....	224
4.Mạch đếm vòng xoắn Johson:.....	224
4.1.Chương trình chính:.....	224
4.2.Chương trình testbench:.....	225
4.3.Kết quả mô phỏng:.....	226
5.Bộ Mạch mã hóa và giải mã:.....	226
5.1.Bộ mã hóa encoder 8 sang 3:.....	226
5.2.Bộ giải mã decoder 8 sang 3:.....	230
6.Mux/Demux:.....	234
6.1.Bộ mux:.....	234
6.2.Bộ demux:.....	238
7.Bộ so sánh và công dữ liệu:.....	242
7.1.Bộ so sánh:.....	242
7.2.Bộ công dữ liệu:.....	248
8.Giao tiếp với led ma trận:.....	256
9.Điều chế độ rộng xung và chia tần:.....	259
9.1.Chia tần số:.....	259
9.2.Điều chế độ rộng xung:.....	262
10.Truyền dữ liệu song song:.....	267

10.1.Chương trình chính:.....	267
10.2.Chương trình testbench:.....	268
10.3.Kết quả mô phỏng:.....	270
11.Giao tiếp ADC và cảm biến nhiệt độ.....	270
11.1.Chương trình chính:.....	270
11.2.Chương trình testbench:.....	274
11.3.Kết quả mô phỏng:.....	275
12.Tạo bộ đệm dữ liệu:.....	276
13.Sử dụng core có sẵn của ISE vào thiết kế:.....	278
14.Bài tập bài 7:.....	279
<u>TÀI LIỆU THAM KHẢO.....</u>	<u>281</u>

MÔN ĐƠN: VI MẠCH SỐ LẬP TRÌNH

Mã mô đun: MĐ30

Vị trí, tính chất, ý nghĩa và vai trò của mô đun:

- Vị trí của mô đun: Mô đun được bố trí dạy sau khi học xong mô đun vi xử lý, vi điều khiển.
- Tính chất của mô đun: Là mô đun bắt buộc.
- Ý nghĩa và vai trò của mô đun: giúp sinh viên nắm bắt các kiến thức và kỹ năng lập trình FPGA ứng dụng vào lĩnh vực điện tử, là một mô đun không thể thiếu đối với sinh viên nghề điện tử công nghiệp.

Mục tiêu của mô đun:

- Trình bày được cấu tạo, đặc tính của các họ vi mạch số lập trình được như: PLD, CPLD, FPGA...theo nội dung đã học.
- Phân tích được các mạch ứng dụng vi mạch số lập trình được CPLD, FPGA theo tiêu chuẩn nhà sản xuất.
- Thiết kế được các yêu cầu điều khiển dùng CPLD, FPGA theo yêu cầu kỹ thuật.
- Sửa chữa, thay thế các linh kiện hư hỏng đạt yêu cầu kỹ thuật.
- Kiểm tra chính xác các điều kiện hoạt động của thiết bị.

Nội dung của mô đun:

Số TT	Tên các bài trong mô đun	Thời gian			
		Tổng số	Lý thuyết	Thực hành	Kiểm tra
1	Giới thiệu chung về PLD, CPLD, FPGA, mảng logic lập trình được	5.5	5.5	0	0
2	Họ CPLD	5.5	5.5	0	0
3	Họ FPGA	6	6	0	0
4	Quy trình thiết kế cho CPLD và	9	4	5	0

	FPGA của Xilinx				
5	Phần mềm ISE và modelsim	15	10	5	1
6	Ngôn ngữ Verilog HDL	34	18	15	1
7	Viết một số chương trình ứng dụng	75	4	66	5
	Tổng	150	52	91	7

Tailieu.vn

BÀI 1

GIỚI THIỆU CHUNG VỀ PLD, CPLD VÀ FPGA

Mã bài: MĐ30 - 01

Giới thiệu:

PLD, CPLD và FPGA là các vi mạch số có thể lập trình được. Do đó, trước khi đi sâu vào vi mạch số lập trình người học phải được trang bị những kiến thức tổng quan về các vi mạch số có thể lập trình được.

Mục tiêu:

- Giải thích được sự cần thiết và ý nghĩa trong thiết kế logic của họ PLDs, CPLDs, FPGA
- Trình bày cấu tạo, ý nghĩa thực tế của việc sử dụng mảng logic lập trình được trong các yêu cầu thiết kế phức tạp.
- Phân biệt cấu tạo logic giữa các họ PLDs, CPLDs, FPGA.
- Nêu phạm vi ứng dụng của các họ PLD, CPLD, FPGA.
- Phân biệt sự khác nhau giữa PLD với CPLD và FPGA.
- Cách xác định và lựa chọn linh kiện trong thiết kế logic

Nội dung chính:

1. Lịch sử phát triển:

Mục tiêu: khái quát cho người học nắm rõ lịch sử phát triển của vi mạch khả trình.

Vi mạch khả trình gồm các dạng sau:

- ❖ SPLD (Simple Programmable Logic Device) bao gồm các loại IC khả trình PROM, PAL, PLA, GAL. Đặc điểm chung của nhóm IC này là chứa số lượng cổng tương đương vài chục (PROM) đến vài trăm (PAL, GAL) cổng.
- ❖ CPLD (Complex Programmable Logic Device) là IC khả trình phức tạp thường được ghép từ nhiều SPLD trên một chip đơn. Số lượng cổng tương đương của CPLD đạt từ hàng nghìn đến hàng chục nghìn cổng.

- ❖ FPGA (Field – Programmable Gate Array) là IC khả trình được cấu trúc từ mảng các khối logic lập trình được.

PROM (Programmable Read – Only Memory) được phát minh bởi Wen Tsing Chow năm 1956 khi làm việc tại Arma Division của công ty American Bosch Arma tại Garden, New York. PROM được chế tạo theo đơn đặt hàng từ lực lượng không quân Mỹ lúc bấy giờ với mục đích có được một thiết bị lưu trữ các tham số về mục tiêu một cách an toàn và linh động. Thiết bị này dùng trong máy tính của hệ thống phóng tên lửa Atlas E/F và được giữ bí mật trong vòng vài năm trước khi Atlas E/F trở nên phổ biến. PROM là vi mạch lập trình đầu tiên và đơn giản nhất trong nhóm các vi mạch bán dẫn có thể lập trình được (PLD – Programmable Logic Device).

PAL (Programmable Array Logic) ra đời cuối những năm 1970. Cấu trúc của PAL kế thừa cấu trúc của PROM, sử dụng hai mảng logic nhưng nếu như ở các PROM mảng OR là mảng lập trình được thì ở PAL mảng AND lập trình được, còn mảng OR được gán cứng, nghĩa là các thành phần tích có thể thay đổi nhưng tổ hợp của chúng sẽ cố định, cải tiến này tạo sự linh hoạt hơn trong việc thực hiện các hàm khác nhau. Ngoài ra cấu trúc PAL còn phân biệt với PROM là ở mỗi đầu ra của mảng OR lập trình được được dẫn bởi khối logic gọi là Macrocell.

PLA (Programmable Logic Array) ra đời năm 1975, và là chip lập trình thứ hai sau PROM. Cấu trúc của PLA không khác nhiều so với cấu trúc của PAL, ngoại trừ khả năng lập trình ở cả hai ma trận AND và OR. Nhờ cấu trúc đó mà PLA có khả năng lập trình linh động hơn, nhưng bù lại tốc độ của PLA thấp hơn nhiều so với PROM và PAL và các sản phẩm cùng loại. Thực tế PLA được ứng dụng không nhiều và nhanh chóng bị thay thế bởi những công nghệ mới hơn như GAL, CPLD,...

GAL (Generic Array Logic) được phát triển bởi công ty Lattice Semiconductor vào năm 1983. Cấu trúc của GAL không khác biệt PAL nhưng thay vì lập trình sử dụng công nghệ cấu chì nghịch thì GAL dùng công nghệ PROM CMOS xóa bằng điện, chính vì vậy mà đôi khi tên gọi GAL ít được sử dụng, mà còn gọi là PAL được cải tiến.

Tất cả các chip khả trình PROM, PAL, GAL có khuyết điểm là thiết kế đơn giản, chi phí thấp cho sản xuất cũng như thiết kế, có thể chuyển dễ dàng từ công nghệ này sang công nghệ khác. Tuy nhiên, nhược điểm của nó là tốc độ làm việc thấp, số lượng cổng logic tương đương nhỏ, do đó không đáp ứng được những thiết kế phức tạp đòi hỏi nhiều tài nguyên và tốc độ cao hơn, chính vì vậy mà CPLD (Complex Programmable Logic Devices) ra đời.

CPLD được Altera tiên phong nghiên cứu và chế tạo đầu tiên, nhằm tạo ra những IC khả trình dung lượng lớn như MAX5000, MAX7000. Sau sự thành công của hãng Altera, thì một loạt các hãng khác cũng bắt tay vào nghiên cứu chế tạo CPLD như Xilinx với các dòng sản phẩm như họ CPLD XC95xx, Lattice với họ ISP Mach 4000, ISP March XO,...

Số lượng cổng của CPLD ngày càng trở nên nhỏ cho những ứng dụng lớn và phức tạp hơn. Năm 1985, công ty Xilinx đưa ra ý tưởng hoàn toàn mới, đó là kết hợp thời gian hoàn thành sản phẩm và khả năng điều khiển được của PLD với mật độ và ưu thế về chi phí của Gate Array để tạo ra FPGA (Field Programmable Gate Array). Hiện nay, Xilinx vẫn là nhà sản xuất chip FPGA số một trên thế giới. FPGA có cấu trúc và hoạt động phức tạp hơn CPLD.

2. Sự cần thiết và ý nghĩa thực tế của việc sử dụng mảng logic có thể lập trình được:

Mục tiêu: giải thích cho người học hiểu rõ mục đích và ý nghĩa của việc sử dụng vi mạch khả trình trong mạch điện.

Các IC số rất đa dạng từ thực hiện các phép tính kỹ thuật số căn bản đến các chức năng phức tạp khác như: bộ ghép kênh, phân kênh, bộ cộng, so sánh, bộ mã hoá, giải mã, bộ đếm,... Chúng là các IC số có chức năng cố định, tức là mỗi IC thực hiện một chức năng chuyên biệt. Những linh kiện này được sản xuất một số lượng lớn để đáp ứng nhu cầu ứng dụng phong phú.

Để thiết kế một mạch điện, nhà thiết kế có thể chọn từ các IC có sẵn phù hợp nhất cho mạch điện. Phần thiết kế này có thể được chỉnh sửa để đáp ứng các yêu cầu chuyên biệt của những linh kiện này.

Ưu điểm của phương pháp này là:

- ❖ Chi phí phát triển thấp.
- ❖ Vận hành nhanh xung quanh bản thiết kế.
- ❖ Tương đối dễ thử nghiệm các mạch điện

Nhược điểm:

- ❖ Các yêu cầu về kích thước trong bảng mạch lớn.
- ❖ Yêu cầu về điện lớn.
- ❖ Thiếu tính bảo mật (Các bảng mạch có thể bị sao chép).
- ❖ Các yêu cầu về chi phí bổ sung, khoảng trống, điện,... cần thiết để chỉnh sửa bản thiết kế hoặc trình bày các tính năng khác.

Để khắc phục những nhược điểm của thiết kế bằng cách sử dụng các IC có chức năng cố định, các mạch tích hợp ứng dụng chuyên biệt (ASIC-Application Specific IC) đã được phát triển. Các ASIC đã được thiết kế để đáp ứng các yêu cầu chuyên biệt của một mạch và được giới thiệu bởi một nhà sản xuất IC. Các thiết kế này quá phức tạp không thể thực hiện bằng cách sử dụng các IC có chức năng cố định được.

Ưu điểm của phương pháp này là:

- ❖ Giảm thiểu được kích thước thông qua việc sử dụng mức tích hợp cao.
- ❖ Giảm thiểu được yêu cầu về điện.
- ❖ Nếu được sản xuất theo một quy mô lớn thì chi phí giảm đáng kể.
- ❖ Việc thiết kế được thực thi dưới dạng này thì hoàn toàn không thể sao chép được.

Nhược điểm:

- ❖ Chi phí phát triển ban đầu có thể cực kỳ lớn.
- ❖ Các phương pháp thử nghiệm phải được phát triển và điều này làm gia tăng chi phí.

Để có được các ưu điểm của hai phương pháp trên, đồng thời xử lý những ứng dụng lớn và phức tạp thì mảng logic lập trình được sử dụng.

Với các ưu điểm về khả năng tái cấu hình, tốc độ hoạt động, thời gian sản xuất, giá thành giảm,... mà mảng logic lập trình được thường được sử dụng trong các lĩnh vực:

Thiết kế các lõi IP cho các lĩnh vực chuyên dụng:

- ❖ Mã hóa
- ❖ Viễn thông (Communication)
- ❖ Công nghiệp phát thanh truyền hình số (Broadcast Industry)
- ❖ Xử lý ảnh, thiết kế các bộ codec
- ❖ SoC thiết kế các Core CPU, bus ...

Thiết kế các sản phẩm công nghệ cao và số lượng ít, cần độ đặc chế cao. Các máy đo, phát và thu sóng viễn thông. Mảng logic lập trình được đóng vai trò glue-logic, kết nối các chip chuyên dụng lại và chạy một số chức năng hỗ trợ cho CPU nhúng để hệ thống nhanh hơn, hiệu quả hơn.

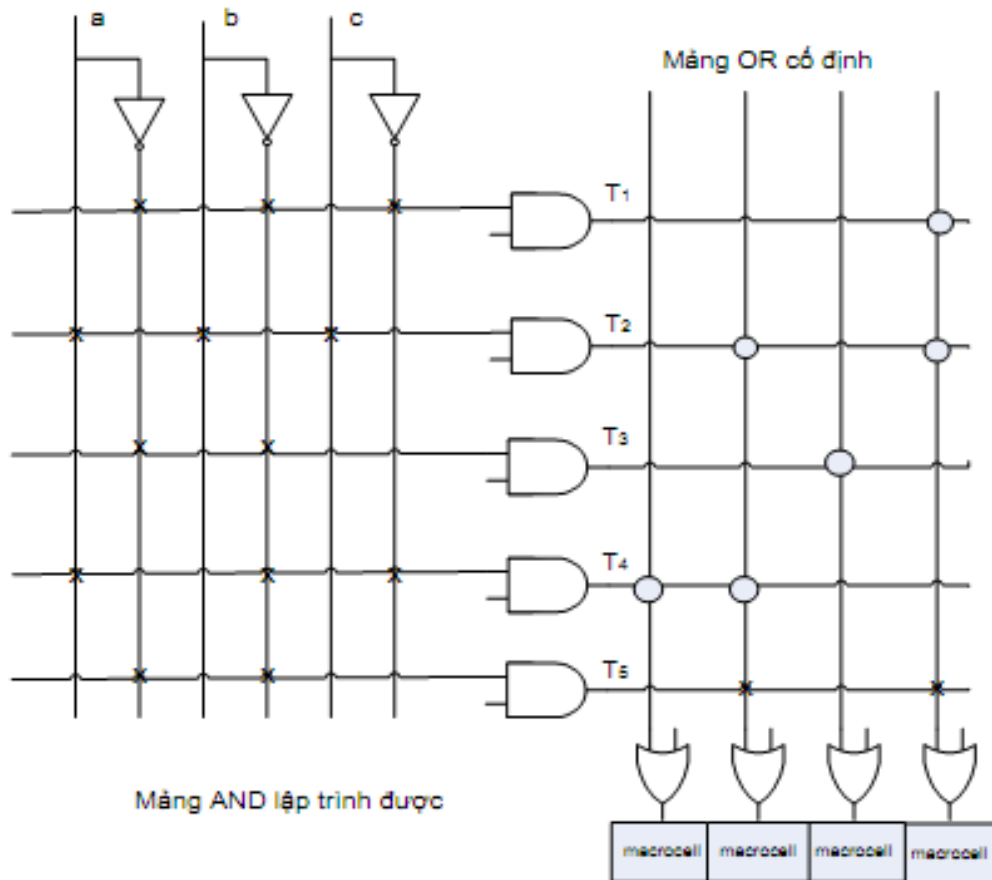
3. Cấu trúc cơ bản của PLD:

Mục tiêu: trình bày cho người học hiểu rõ cấu trúc cơ bản của họ vi mạch khả trình PLD.

Trong phần này trình bày cấu trúc của một số loại IC khả trình thuộc dòng SPLD như PAL, GAL, PLA.

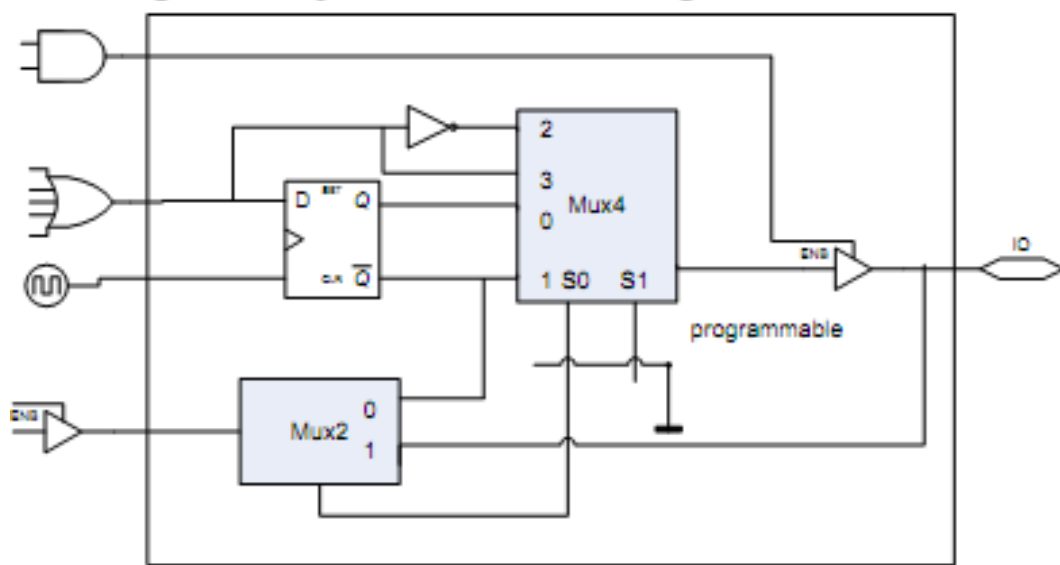
3.1 PAL:

PAL được cấu trúc từ các mảng AND lập trình được và các mảng OR được gắn cứng, đồng thời mỗi đầu ra của mảng OR lập trình được dẫn bởi khối logic gọi là Macrocell như trong hình 1.1.



Hình 1.1 – Cấu trúc PAL

Hình 1.2 minh họa cho ta thấy một macrocell (MC). Mỗi macrocell chứa một flip-flop, bộ mux2 và mux8 và cổng logic ba trạng thái. Tín hiệu điều khiển của mux4 có thể được lập trình để cho phép dẫn tín hiệu lần lượt qua các đầu vào 0, 1, 2, 3 của bộ mux4 và gửi ra ngoài cổng giao tiếp IO. Tùy thuộc vào cấu hình này mà tín hiệu có thể được gửi ra ngoài IO hay không.

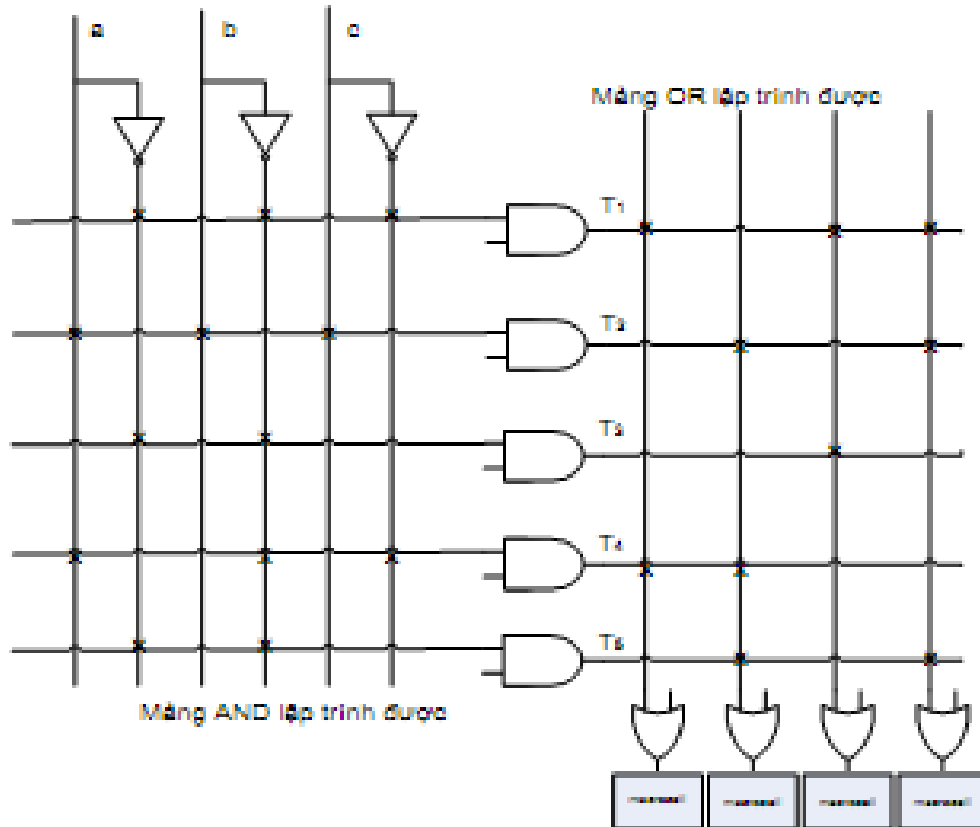


Hình 1.2 – Cấu trúc Macrocell

Nhờ có cấu trúc macrocell mà PAL có thể được sử dụng không những để thực hiện các hàm logic tổ hợp mà cả các hàm logic tuần tự.

3.2 PLA:

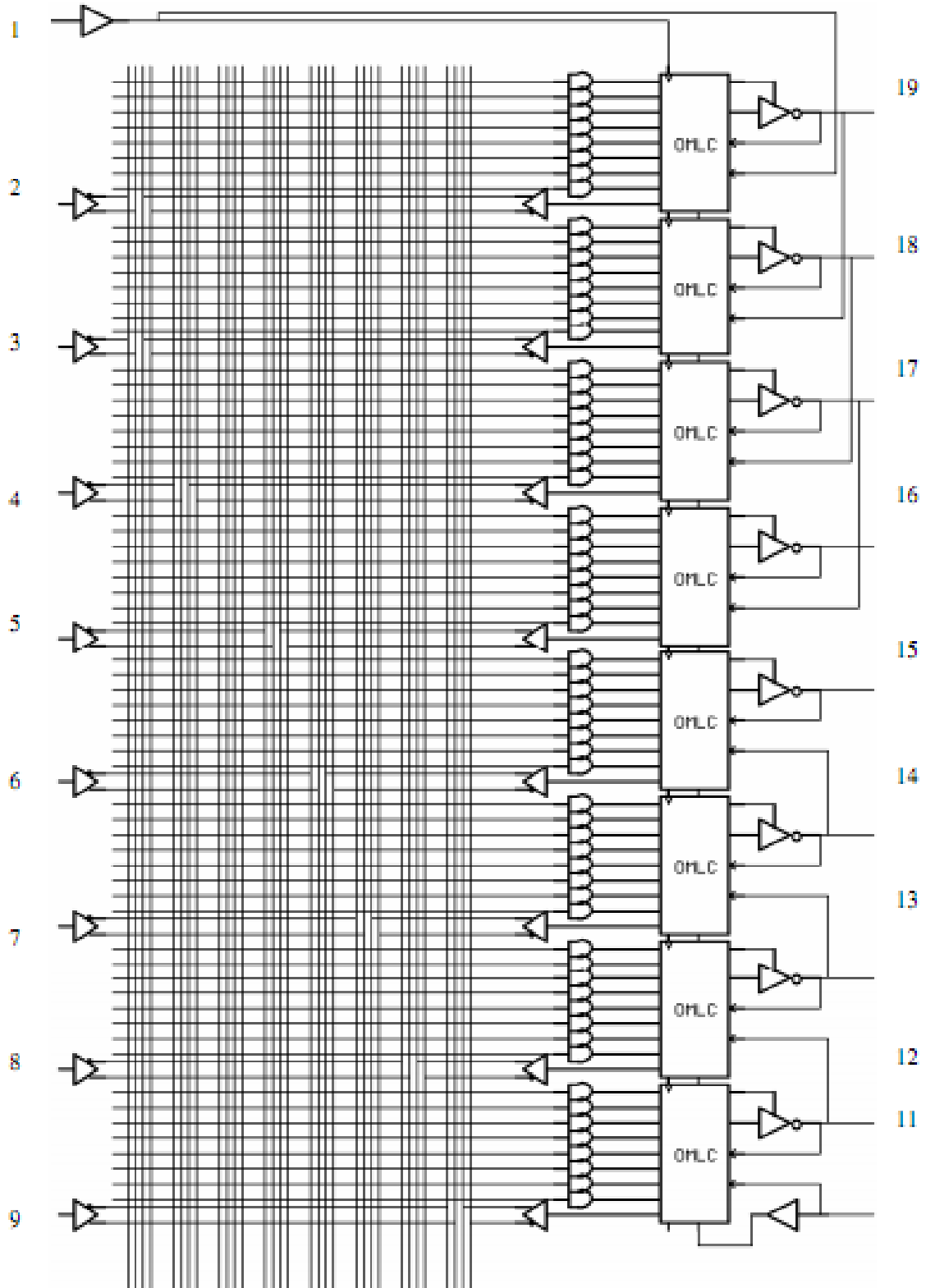
Cấu trúc PLA khác cấu trúc PAL là ở chỗ PLA có thể lập trình ở cả hai ma trận AND và ma trận OR (hình 1.3).



Hình 1.3 – Cấu trúc PLA

3.3 GAL

Như đã trình bày ở phần 1.1, thì cấu trúc của GAL không khác biệt PAL, nhưng thay vì lập trình sử dụng công nghệ cầu chì nghịch thì GAL sử dụng công nghệ PROM CMOS xóa bằng điện, do đó GAL cho phép lập trình lại giống như EEPROM.



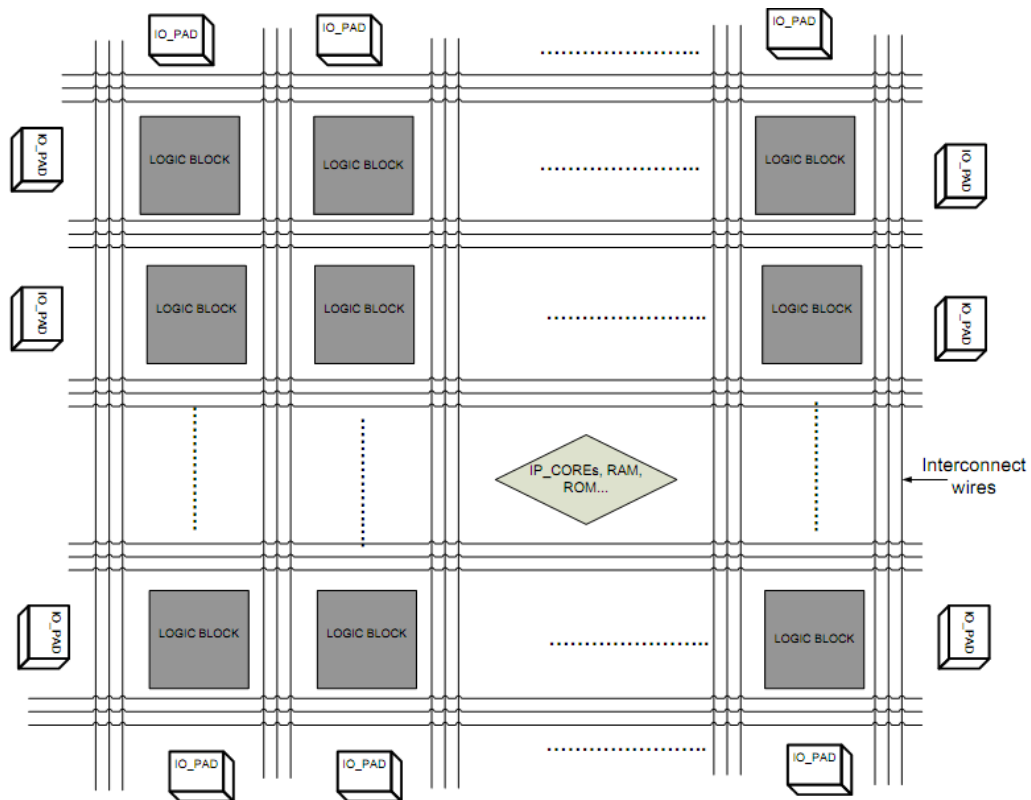
CPLD có cấu trúc đồng nhất gồm nhiều khối chức năng **"Function Block"** được kết nối với nhau thông qua một ma trận kết nối **"FastCONNECT Switch matrix"**. Mỗi khối function block gồm có một khối logic - gồm các dạng tích AND và OR sắp xếp giống PLA hoặc PAL, cho phép thực hiện các hàm logic tổ hợp, và nhiều khối MC (Macrocell) có chứa tài nguyên là các Trilog cho phép xây dựng các thanh ghi và mạch tuần tự. Phần lõi bên trong của CPLD được nối ra bên ngoài thông qua các khối vào ra I/O cho phép thiết lập chức năng cho các chân của IC có chức năng vào hoặc ra hoặc vừa là chân vào vừa là chân ra, ngoài ra còn có thể thiết lập các chân I/O này làm việc ở các mức logic khác nhau, có điện trở pull-up hoặc pull-down,...

Với cấu trúc đồng nhất, giá thành rẻ, tính năng khá mạnh, dễ sử dụng nên CPLD đã và đang được sử dụng rất rộng rãi trong thực tế, giúp cho nhà sản xuất phát triển nhanh sản phẩm của mình với giá thành rẻ. Đặc biệt hiện nay các hãng đã phát triển các họ CPLD với tính năng rất mạnh, công suất tiêu thụ thấp, chúng đang được sử dụng rất nhiều để phát triển các sản phẩm điện tử, viễn thông, công nghệ thông tin, nhất là trong các thiết bị cầm tay, di động...

Trong thực tế rất có nhiều loại CPLD khác nhau, của các hãng khác nhau, và đã được phát triển với nhiều chủng loại, thế hệ CPLD khác nhau. Cấu tạo, dung lượng, tính năng, đặc điểm, ứng dụng... của mỗi loại CPLD cũng rất khác nhau. Trong giáo trình này không đi sâu trình bày cấu tạo cụ thể của tất cả các họ CPLD, mà chỉ trình bày kiến trúc chung đơn giản nhất của CPLD. Khi sử dụng cụ thể loại CPLD nào, người học nên tham khảo các tài liệu khác, nhất là tham khảo các tài liệu kỹ thuật được cung cấp kèm theo cấu kiện do các hãng đưa ra (datasheet). Các hãng điện tử nổi tiếng trên thế giới đang sở hữu, phát triển, cung cấp các loại linh kiện CPLD là Xilinx, Altera...

5. Cấu trúc cơ bản của FPGA:

Mục tiêu: trình bày cho người học hiểu rõ cấu trúc cơ bản của họ vi mạch khả trình FPGA.



Hình 1.6 – Cấu trúc của FPGA

Hình 1.6 trình bày cấu trúc tổng quan nhất cho các loại FPGA hiện nay. Cấu trúc chi tiết và tên gọi của các thành phần có thể thay đổi tùy theo các hãng sản xuất khác nhau, nhưng về cơ bản FPGA được cấu thành từ các khối logic (Logic Block), số lượng của các khối này thay đổi từ vài trăm đến vài chục nghìn, và được bố trí dưới dạng ma trận, chúng được kết nối với nhau thông qua hệ thống các kênh nối khả trình. Hệ thống này còn có nhiệm vụ kết nối với các cổng giao tiếp vào ra (IO_PAD) của FPGA. Số lượng các chân vào ra thay đổi từ vài trăm đến hàng nghìn chân.

Bên cạnh các thành phần chính đó, những FPGA cỡ lớn còn được tích hợp cứng những khối thiết kế sẵn mà thuật ngữ gọi là *Hard IP cores*, các IP cores này có thể là các bộ nhớ RAM, ROM, các khối thực hiện phép nhân, khối thực hiện phép xử lý tín hiệu số (DSP),...bộ vi xử lý cỡ nhỏ và vừa như Power PC hay ARM.

6. Sự khác biệt giữa PLD, CPLD và FPGA:

Mục tiêu: trình bày và giải thích cho người học hiểu rõ sự khác biệt giữa PLD, CPLD và FPGA.

CPLD là được cấu thành từ các SPLD, do đó ở đây ta xem xét và so sánh giữa các dòng IC khả trình CPLD và dòng IC khả trình FPGA.

Bảng 1.1 – Bảng so sánh CPLD và FPGA

CPLD	FPGA
Cấu trúc theo mảng các dạng tích	Cấu trúc dựa vào LUT
Mảng kết nối trung tâm	Ma trận kết nối 2 chiều X – Y
Mật độ tích hợp trung bình	Mật độ tích hợp cao
Tỷ lệ số chân I/O trên macrocell lớn	Tỷ lệ số chân I/O trên macrocell nhỏ
Cấu hình được lưu lại khi mất điện, và hoạt động không đổi trong quá trình hoạt động	Cấu hình nạp vào SRAM, khi mất điện sẽ không còn, cần có bộ nhớ cấu hình PROM, cấu hình có thể được nạp trong quá trình hoạt động
Cấu trúc đồng nhất	Cấu trúc không đồng nhất
	Nhiều tài nguyên: DLL (delay_Locked Loop: vòng khóa pha trễ), bộ nhớ, các bộ nhân,...
Ứng dụng: mã hóa và giải mã logic, các máy trạng thái hay các giao diện bus chuẩn (SPI, I2C, ...), ưu điểm nổi bật khi thiết kế các mạch logic nhiều đầu vào	Ứng dụng: PCI (Peripheral Component Interface), giao tiếp nối tiếp tốc độ cao và các bộ vi xử lý ứng dụng,... Ưu thế nổi bật khi thiết kế phức tạp, cần nhiều tài nguyên.

7. Phần mềm hỗ trợ:

Mục tiêu: giới thiệu cho người học những phần mềm hỗ trợ khi thiết kế mạch điện sử dụng vi mạch khả trình.

Mỗi hãng sản xuất IC khả trình FPGA khác nhau cung cấp những phần mềm lập trình khác nhau như: phần mềm Quatus của Altera, ISE của Xilinx,...

Để thực thi mô phỏng thì mỗi phần mềm của hãng đều hỗ trợ công cụ mô phỏng như: công cụ ISIM trong phần mềm ISE của hãng Xilinx,...ngoài ra *Mentor Graphics Corporation* cung cấp phần mềm *modelsim*, là một công cụ hỗ trợ rất mạnh cho việc thực thi mô phỏng thiết kế.

Trong nội dung giáo trình này sẽ trình bày chi tiết việc thiết kế lập trình chip CPLD và FPGA của hãng Xilinx trên phần mềm ISE và công cụ mô phỏng ISIM của hãng Xilinx, và phần mềm mô phỏng *modelsim* của *Mentor Graphics Corporation*.

YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 1: