

Chương 4

HỆ TỔ HỢP

4.1.KHÁI NIỆM CHUNG

Các phần tử logic AND, OR, NOR, NAND là các phần tử logic cơ bản còn được gọi là hệ tổ hợp đơn giản. Như vậy, ta có các hệ tổ hợp mà ngõ ra là các hàm logic theo ngõ vào, điều này có nghĩa là khi một trong các ngõ vào thay đổi trạng thái thì lập tức làm cho ngõ ra thay đổi trạng thái ngay (bỏ qua thời gian trễ của các phần tử logic).

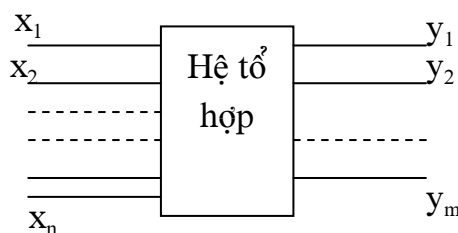
Xét một hệ tổ hợp có **n ngõ vào** và có **m ngõ ra** (hình 4.1), ta có:

$$y_1 = f(x_1, x_2, \dots, x_n)$$

$$y_2 = f(x_1, x_2, \dots, x_n)$$

.....

$$y_n = f(x_1, x_2, \dots, x_n)$$



Hình 4.1

Như vậy, sự thay đổi của ngõ ra y_j ($j = \overline{1, m}$) theo các biến vào x_i ($i = \overline{1, n}$) là tùy thuộc vào bảng trạng thái mô tả hoạt động của hệ tổ hợp. Đặc điểm cơ bản của hệ tổ hợp là tín hiệu ra tại mỗi thời điểm chỉ phụ thuộc vào giá trị các tín hiệu vào ở thời điểm đó.

Trình tự để thiết kế hệ tổ hợp theo các bước sau:

1. Từ yêu cầu thực tế ta lập bảng trạng thái mô tả hoạt động của mạch.
2. Dùng các phương pháp tối thiểu để tối thiểu hoá các hàm logic.
3. Thành lập sơ đồ logic (Dựa vào phương trình logic đã tối giản).
4. Thành lập sơ đồ hệ tổ hợp.

Một số mạch tổ hợp cụ thể:

- Mạch mã hoá - giải mã
- Mạch chọn kênh - phân đường
- Mạch so sánh
- Kiểm /phát chấn lẽ
- Mạch số học

4.2. MẠCH MÃ HOÁ & MẠCH GIẢI MÃ

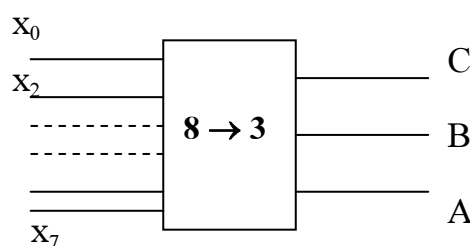
4.2.1. Khái niệm:

Mạch mã hoá (ENCODER) là mạch có nhiệm vụ biến đổi những ký hiệu quen thuộc với con người sang những ký hiệu không quen thuộc con người. Mạch giải mã (DECODER) là mạch làm nhiệm vụ biến đổi những ký hiệu không quen thuộc với con người sang những ký hiệu quen thuộc với con người.

4.2.2. Mạch mã hoá (Encoder)

4.2.2.1. Mạch mã hoá nhị phân

Xét mạch mã hóa nhị phân từ 8 sang 3 (8 ngõ vào và 3 ngõ ra). Sơ đồ khối của mạch được cho trên hình 4.2.



Hình 4.2 Sơ đồ khối mạch mã hóa nhị phân từ 8 sang 3

Trong đó:

- $x_0, x_1, \dots, x_7$ là các ngõ vào tín hiệu.
- A, B, C là các ngõ ra.

Mạch mã hóa nhị phân thực hiện biến đổi tín hiệu ngõ vào thành một từ mã nhị phân tương ứng ở ngõ ra, cụ thể như sau:

$0 \rightarrow 000$	$3 \rightarrow 011$	$6 \rightarrow 100$
$1 \rightarrow 001$	$4 \rightarrow 100$	$7 \rightarrow 111$

$2 \rightarrow 010$ $5 \rightarrow 101$

Chọn mức tác động (tích cực) ở ngõ vào là mức logic 1, ta có bảng trạng thái mô tả hoạt động của mạch :

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Giải thích bảng trạng thái: Khi một ngõ vào ở trạng thái tích cực (mức logic 1) và các ngõ vào còn lại không được tích cực (mức logic 0) thì ngõ ra xuất hiện từ mã tương ứng. Cụ thể là: khi ngõ vào $x_0=1$ và các ngõ vào còn lại bằng 0 thì từ mã ở ngõ ra là 000, khi ngõ vào $x_1=1$ và các ngõ vào còn lại bằng 0 thì từ mã nhị phân ở ngõ ra là 001, ..V..V..

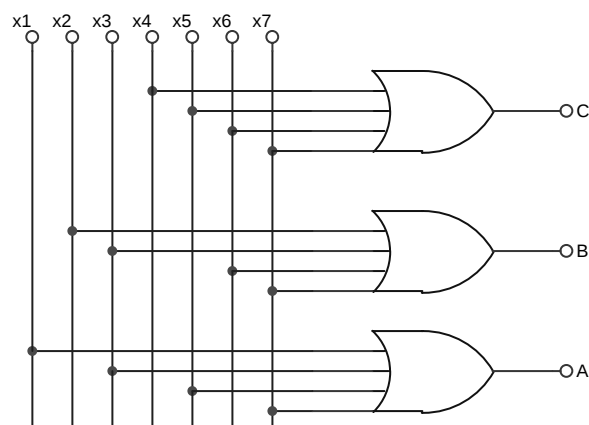
Phương trình logic tối giản:

$$A = x_1 + x_3 + x_5 + x_7$$

$$B = x_2 + x_3 + x_6 + x_7$$

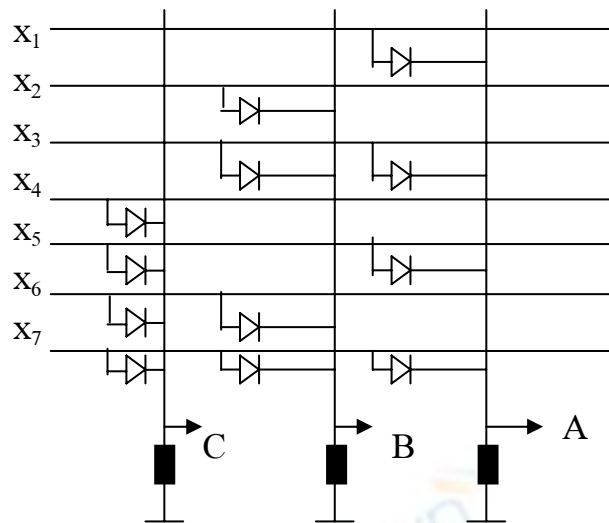
$$C = x_4 + x_5 + x_6 + x_7$$

Sơ đồ logic (hình 4.3):



Hình 4.3 Mạch mã hóa nhị phân từ 8 sang 3

Biểu diễn bằng cổng logic dùng Diode (hình 4.4):



Hình 4.4 Mạch mã hóa nhị phân từ 8 sang 3 sử dụng diode

Nếu chúng ta chọn mức tác động tích cực ở ngõ vào là mức logic 0, bảng trạng thái mô tả hoạt động của mạch lúc này như sau:

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
0	1	1	1	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0	1
1	1	0	1	1	1	1	1	0	1	0
1	1	1	0	1	1	1	1	0	1	1
1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	0	1	1	1	0	1
1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	0	1	1	1

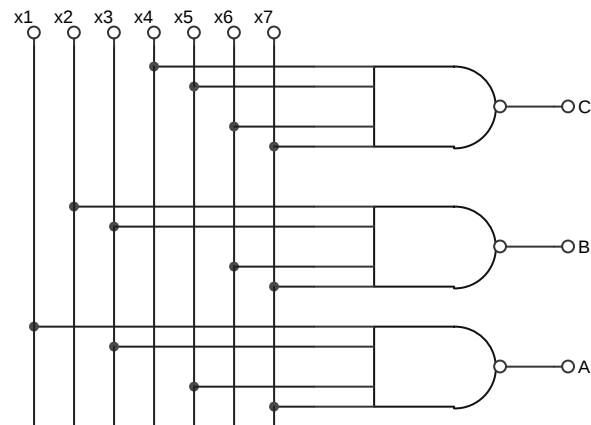
Phương trình logic tối giản :

$$A = \bar{x}_1 + \bar{x}_3 + \bar{x}_5 + \bar{x}_7 = \overline{x_1 x_3 x_5 x_7}$$

$$B = \bar{x}_2 + \bar{x}_3 + \bar{x}_6 + \bar{x}_7 = \overline{x_2 x_3 x_6 x_7}$$

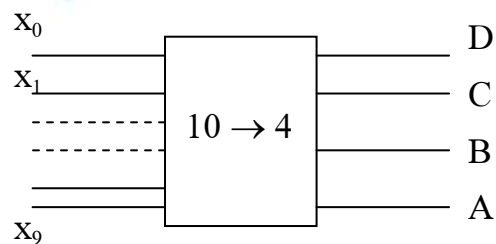
$$C = \bar{x}_4 + \bar{x}_5 + \bar{x}_6 + \bar{x}_7 = \overline{x_4 x_5 x_6 x_7}$$

Sơ đồ mạch thực hiện cho trên hình 4.5



Hình 4.5 Mạch mã hóa nhị phân 8 sang 3 ngõ vào tích cực mức 0

4.2.2.2. Mạch mã hoá thập phân



Hình 4.6 Sơ đồ khối mạch mã hóa từ 10 sang 4

Bảng trạng thái mô tả hoạt động của mạch :

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	D	C	B	A
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

Phương trình logic đã tối giản:

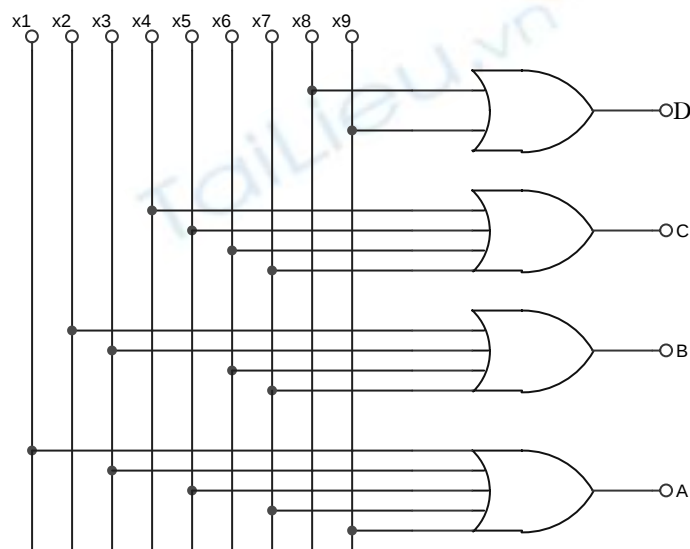
$$A = x_1 + x_3 + x_5 + x_7 + x_9$$

$$B = x_2 + x_3 + x_6 + x_7$$

$$C = x_4 + x_5 + x_6 + x_7$$

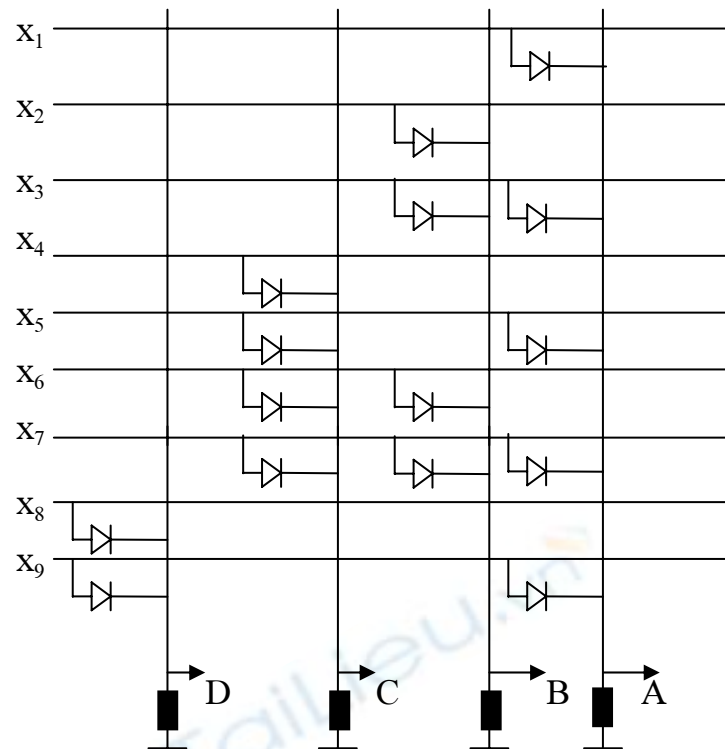
$$D = x_8 + x_9$$

Biểu diễn bằng sơ đồ logic



Hình 4.7

Biểu diễn bằng cổng logic dùng Diode : Hình 4.8



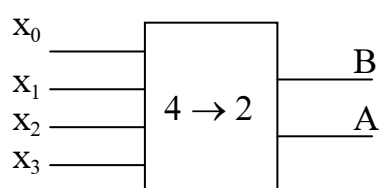
Hình 4.8

4.2.2.3. Mạch mã hoá ưu tiên

Trong hai mạch mã hoá đã xét ở trên, tín hiệu đầu vào tồn tại độc lập tức là không có tình huống có 2 tín hiệu trở lên đồng thời tác động ở mức logic 1 (nếu ta chọn mức tích cực ở ngõ vào là mức logic 1), do đó cần phải đặt ra vấn đề ưu tiên.

Vấn đề ưu tiên: Khi có nhiều tín hiệu đồng thời tác động, tín hiệu nào có mức ưu tiên cao hơn ở thời điểm đang xét sẽ tác động, tức là nếu ngõ vào có độ ưu tiên cao hơn bằng 1 trong khi những ngõ vào có độ ưu tiên thấp hơn nếu bằng 1 thì mạch sẽ tạo ra từ mã nhị phân ứng với ngõ vào có mức độ ưu tiên cao nhất.

Xét mạch mã hoá ưu tiên $4 \rightarrow 2$ (4 ngõ vào, 2 ngõ ra) (hình 4.9).



Hình 4.9

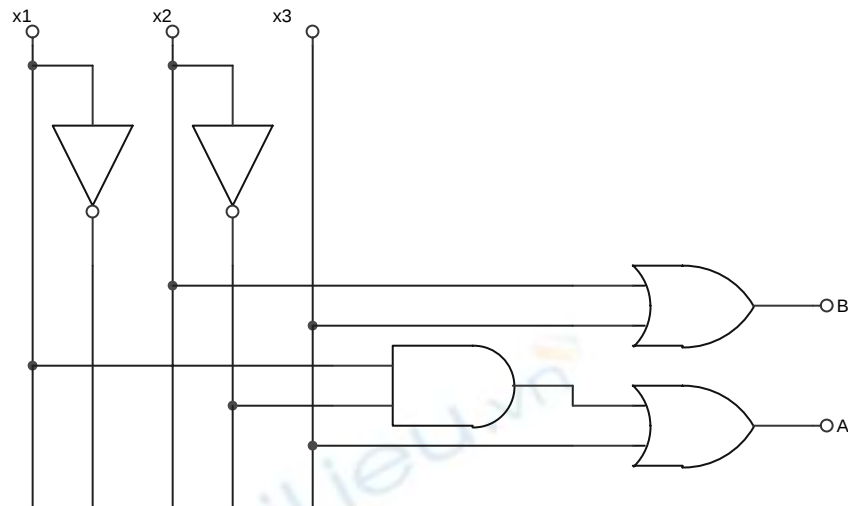
Bảng trạng thái mô tả hoạt động của mạch

x_0	x_1	x_2	x_3	B	A
1	0	0	0	0	0
x	1	0	0	0	1
x	x	1	0	1	0
x	x	x	1	1	1

Phương trình tối giản :

$$A = x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_3 = x_1 \cdot \overline{x_2} + x_3$$

$$B = x_2 \cdot \overline{x_3} + x_3 = x_2 + x_3$$



Hình 4.10 Sơ đồ logic mạch mã hóa ưu tiên từ 4 sang 2

Sơ đồ logic: hình 4.10.

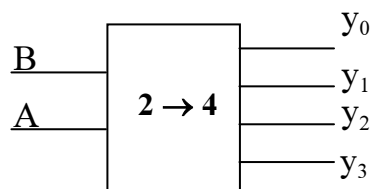
Một số vi mạch mã hóa thông dụng: 74LS147, 74LS148.

4.2.3. Mạch giải mã (Decoder)

4.2.3.1. Mạch giải mã nhị phân

Xét mạch giải mã nhị phân 2→4 (2 ngõ vào, 4 ngõ ra) như trên hình vẽ 4.11.

Chọn mức tích cực ở ngõ ra là mức logic 1.



Hình 4.11 Mạch giải mã 2 sang 4

Bảng trạng thái mô tả hoạt động của mạch

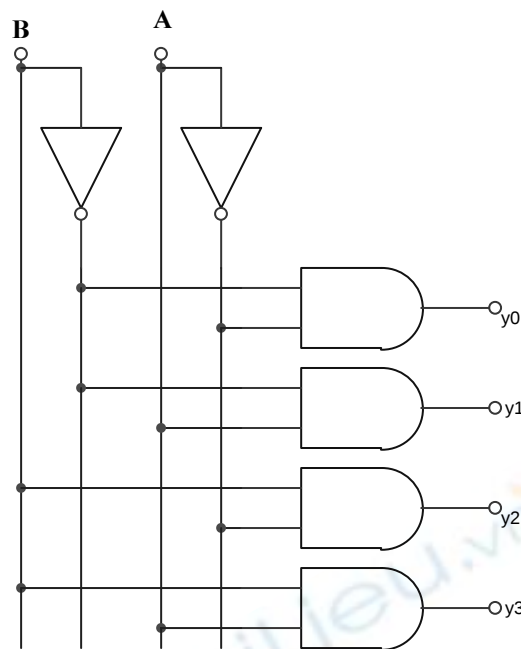
B	A	y ₀	y ₁	y ₂	y ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Phương trình logic tối giản :

$$y_0 = \overline{B} \cdot \overline{A} \quad y_1 = \overline{B} \cdot A$$

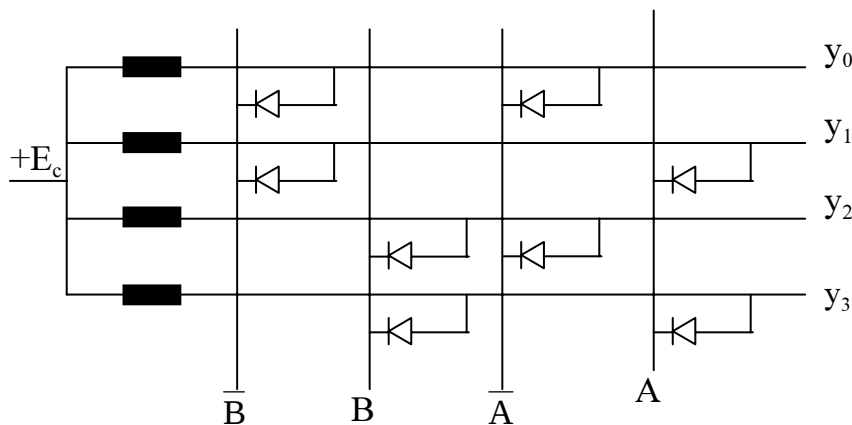
$$y_2 = B \cdot \overline{A} \quad y_3 = A \cdot B$$

Sơ đồ logic: hình 4.12.



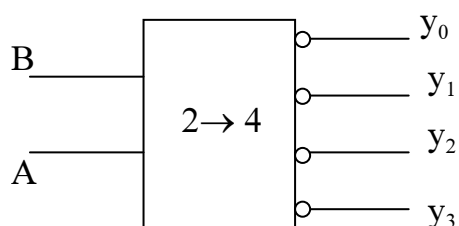
Hình 4.12 Sơ đồ logic mạch giải mã từ 2 sang 4

Biểu diễn bằng cổng logic dùng Diode.



Hình 4.13. Mạch giải mã hóa từ 2 sang 4 dùng diode

Trường hợp chọn mức tích cực ở ngõ ra là mức logic 0 (mức logic thấp L): hình 4.14.



Hình 4.14. Mức tích cực ngõ ra là mức logic thấp

Bảng trạng thái mô tả hoạt động của mạch

B	A	y ₀	y ₁	y ₂	y ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Phương trình logic:

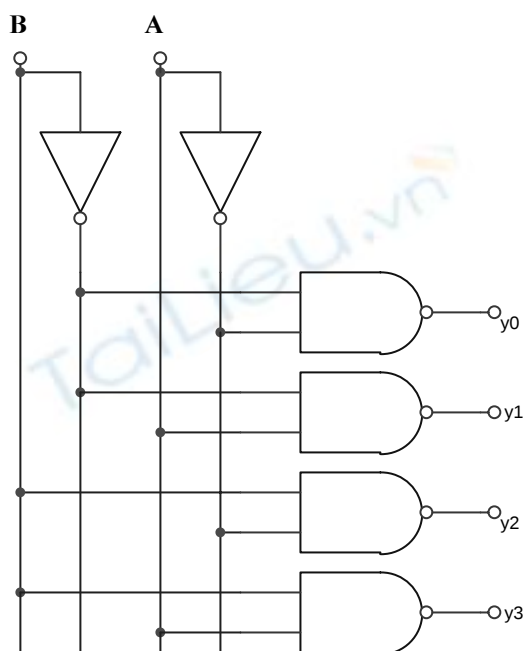
$$y_0 = B + A = \overline{\overline{B.A}}$$

$$y_1 = B + \overline{A} = \overline{\overline{B.A}}$$

$$y_2 = \overline{B} + A = \overline{\overline{\overline{B}.A}}$$

$$y_3 = \overline{B} + \overline{A} = \overline{\overline{\overline{B.A}}}$$

Sơ đồ logic:



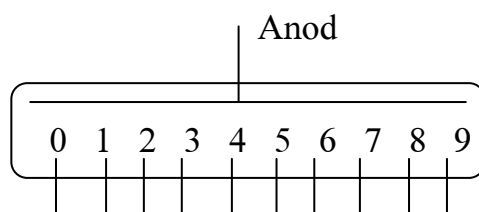
Hình 4.15. Mạch giải mã 2 → 4 với ngõ ra mức tích cực thấp

4.2.3.2. Mạch giải mã thập phân

a. Giải mã đèn NIXIE

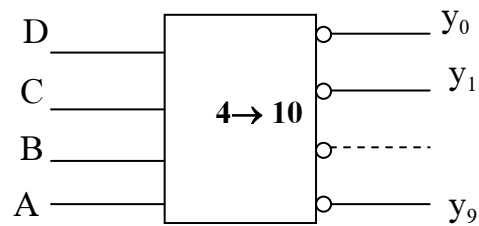
Đèn NIXIE là loại đèn điện tử loại Katod lạnh (Katod không được nung nóng bởi tim đèn), có cấu tạo gồm một Anod và 10 Katod mang hình các số từ 0 → 9.

Sơ đồ khai triển của đèn được cho trên hình 4.16:



Hình 4.16. Sơ đồ khai triển của đèn NIXIE

Sơ đồ khối của mạch giải mã đèn NIXIE



Hình 4.17. Sơ đồ khối mạch giải mã đèn NIXIE

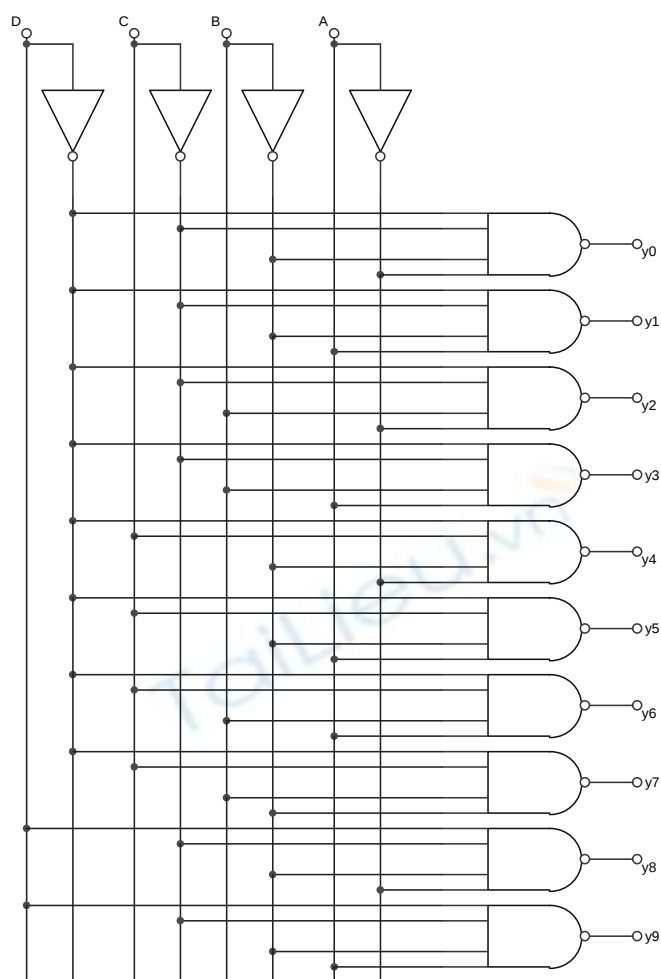
Chọn mức tích cực ở ngõ ra là mức logic 1, lúc đó bảng trạng thái hoạt động của mạch như sau:

D	C	B	A	y ₀	y ₁	y ₂	y ₃	y ₄	y ₅	y ₆	y ₇	y ₈	y ₉
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

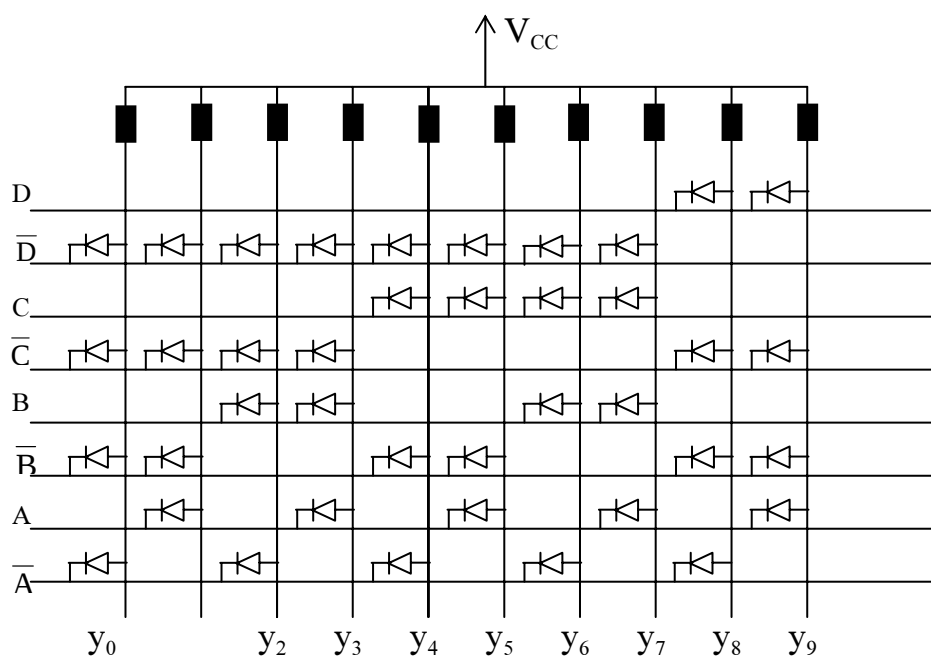
Phương trình logic:

$$\begin{aligned}
 y_0 &= \overline{D}\overline{C}\overline{B}\overline{A} & y_1 &= \overline{D}\overline{C}B\overline{A} & y_2 &= \overline{D}C\overline{B}\overline{A} & y_3 &= \overline{D}CB\overline{A} \\
 y_4 &= \overline{D}C\overline{B}A & y_5 &= \overline{D}CB\overline{A} & y_6 &= \overline{D}CBA & y_7 &= \overline{D}CBA \\
 y_8 &= D\overline{C}\overline{B}\overline{A} & y_9 &= D\overline{C}\overline{B}A
 \end{aligned}$$

Sơ đồ thực hiện mạch giải mã đèn NIXIE được cho trên hình 4.18 và 4.19:



Hình 4.18. Sơ đồ thực hiện bằng cổng logic

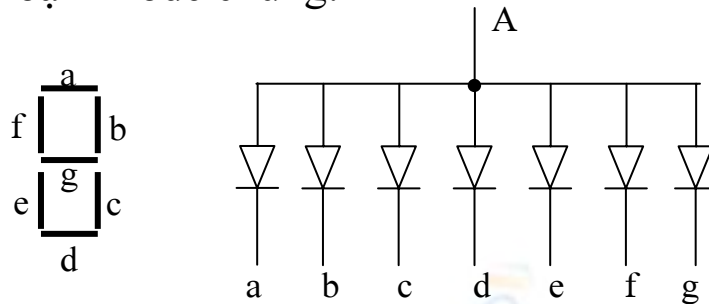


Hình 4.19. Sơ đồ thực hiện bằng diode

b. Giải mã đèn LED 7 đoạn

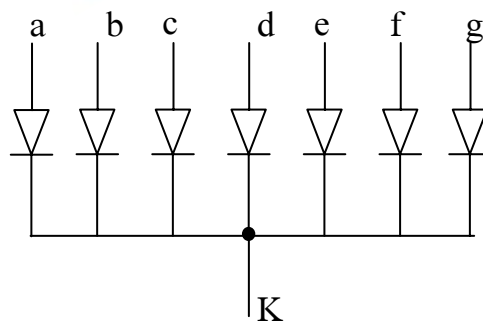
Đèn LED 7 đoạn, mỗi đoạn là 1 đèn LED. Tùy theo cách nối các Kathode hoặc các Anode của các LED trong đèn, mà người ta phân thành hai loại:

LED 7 đoạn loại Anode chung:



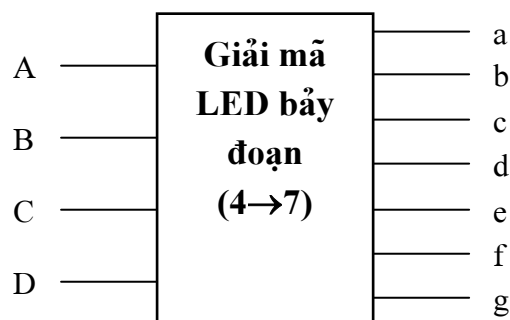
Hình 4.20. LED bảy đoạn loại Anode chung

LED 7 đoạn loại Kathode chung :



Hình 4.21. LED bảy đoạn loại Kathode chung

Ứng với mỗi loại LED khác nhau ta có một mạch giải mã riêng. Sơ đồ khối của mạch giải mã LED 7 đoạn như sau:



Hình 4.22. Sơ đồ khối mạch giải mã LED bảy đoạn

Xét đèn LED 7 đoạn loại Anode chung:

Đối với LED bảy đoạn loại anode chung, vì các anode của các đoạn led được nối chung với nhau và đưa lên mức logic 1 (5V), nên muốn đoạn led nào tắt ta nối kathode tương ứng lên mức logic 1 (5V) và ngược lại muốn đoạn led nào sáng ta nối kathode tương ứng xuống mass (mức logic 0).

Ví dụ: Để hiển thị số 0 ta nối kathode của đèn g lên mức logic 1 để đèn g tắt, và nối các kathode của đèn a, b, c, d, e, f xuống mass nên ta thấy số 0.

Lúc đó bảng trạng thái mô tả hoạt động của mạch giải mã LED bảy đoạn loại Anode chung như sau:

D	B	C	A	a	b	c	d	e	f	g	Số hiển thị
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9
1	0	1	0	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X

Dùng bảng Karnaugh để tối thiểu hóa mạch trên. Phương trình tối thiểu hóa có thể viết ở dạng chính tắc 1 (tổng của các tích số) hoặc dạng chính tắc 2 (tích của các tổng số):

Phương trình logic của ngõ ra a:

Dạng chính tắc 2:

$$a = \overline{B}.D.(C + \overline{A})(C + A) = \overline{B}CDA + \overline{B}DC\overline{A}$$

Dạng chính tắc 1:

$$a = CBA + DCBA$$

Lưu ý: Trên bảng Karnaugh chúng ta đã thực hiện tối thiểu hóa theo dạng chính tắc 2.

a

DC \ BA	00	01	11	10
00	0	1	x	0
01	1	0	x	0
11	0	0	x	x
10	0	0	x	x

Phương trình logic của ngõ ra b:

Dạng chính tắc 2:

$$b = .C(A + B)(\overline{A} + \overline{B}) = C(\overline{A}\overline{B} + \overline{A}B + A\overline{B})$$

$$= C(A \oplus B)$$

Dạng chính tắc 1:

$$b = CBA + C\overline{B}\overline{A} = C(A \oplus B)$$

b

DC \ BA	00	01	11	10
00	0	0	x	0
01	0	1	x	0
11	0	0	x	x
10	0	1	x	x

Phương trình logic của ngõ ra c:

Dạng chính tắc 2:

$$c = \overline{B}\overline{A}C$$

Dạng chính tắc 1:

$$c = \overline{D}CBA$$

c

DC \ BA	00	01	11	10
00	0	0	x	0
01	0	0	x	0
11	0	0	x	x
10	1	0	x	x

Phương trình logic của ngõ ra d:

Dạng chính tắc 2:

$$d = \overline{D}(\overline{A} + B + \overline{C})(\overline{B} + C + D)(A + \overline{B})(A + C)$$

$$= \overline{A}\overline{B}C\overline{D} + A\overline{B}C\overline{D} + A\overline{B}C\overline{D}$$

Dạng chính tắc 1:

$$d = CBA + DCBA + CBA$$

d

DC \ BA	00	01	11	10
00	0	1	x	0
01	1	0	x	0
11	0	1	x	x
10	0	0	x	x

Phương trình logic của ngõ ra e:

Dạng chính tắc 2:

$$e = (\bar{B} + A)(C + A)$$

Dạng chính tắc 1:

$$e = C\bar{B} + A$$

e BA \ DC		00	01	11	10
		00	01	11	10
00	0	1	x	0	
01	1	1	x	1	
11	1	1	x	x	
10	0	0	x	x	

Phương trình logic của ngõ ra f:

Dạng chính tắc 2:

$$\begin{aligned} f &= (A + B)(B + \bar{C})(A + \bar{B} + \bar{C})\bar{D} \\ &= ABD + ACD + BCD \end{aligned}$$

Dạng chính tắc 1:

$$f = BA + \bar{D}CA + \bar{D}CB$$

f BA \ DC		00	01	11	10
		00	01	11	10
00	0	0	x	0	
01	1	0	x	0	
11	1	1	x	x	
10	1	0	x	x	

Phương trình logic của ngõ ra g:

Dạng chính tắc 2:

$$\begin{aligned} g &= \bar{D}(A + \bar{B})(\bar{C} + B)(\bar{B} + C) \\ &= \bar{B}CD + \bar{D}CBA \end{aligned}$$

Dạng chính tắc 1:

$$g = \bar{D}CBA + \bar{D}CB$$

$\begin{matrix} \mathbf{g} \\ \mathbf{BA} \end{matrix} \backslash \mathbf{DC}$		00	01	11	10
		00	01	11	10
00	1	0	x	0	
01	1	0	x	0	
11	0	1	x	x	
10	0	0	x	x	

Xét mạch giải mã đèn led 7 đoạn loại Kathode chung:

Chọn mức tích cực ở ngõ ra là mức logic 1. Vì Kathode của các đoạn led được nối chung và được nối xuống mức logic 0 (0V-mass) nên muốn đoạn led nào tắt ta đưa Anode tương ứng xuống mức logic 0 (0V-mass).

Ví dụ: Để hiển thị số 0 ta nối Anode của đoạn led g xuống mức logic 0 để đoạn g tắt, đồng thời các kathode của đoạn a, b, c, d, e, f được nối lên nguồn nên các đoạn này sẽ sáng do đó ta thấy số 0.

Lúc đó bảng trạng thái mô tả hoạt động của mạch như sau:

D	B	C	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

Tương tự như trường hợp trên, ta cũng dùng bảng Karnaugh để tối thiểu hóa hàm mạch và đi tìm phương trình logic tối giản các ngõ ra của các đoạn led: (Lưu ý trong những sơ đồ Karnaugh sau ta thực hiện tối thiểu hóa theo chính tắc 1)

Phương trình logic của ngõ ra a:

Dạng chính tắc 1:

$$a = D + B + \overline{AC} + AC$$

Dạng chính tắc 2:

$$a = (\overline{A} + B + C + D)(A + B + \overline{C})$$

$$= AD + B + AC + \overline{AC}$$

		DC			
a	BA	00	01	11	10
		00	01	11	10
	00	1	0	x	1
	01	0	1	x	1
	11	1	1	x	x
	10	1	1	x	x

Phương trình logic của ngõ ra b:

Dạng chính tắc 1:

$$b = \bar{C} + BA + \bar{B} \bar{A} = \bar{C} + A \oplus B$$

Dạng chính tắc 2:

$$\begin{aligned} b &= (\bar{C} + B + \bar{A})(\bar{C} + \bar{B} + A) \\ &= \bar{C} + AB + \bar{A}\bar{B} = \bar{C} + A \oplus B \end{aligned}$$

b

DC	00	01	11	10
BA				
00	1	1	x	1
01	1	0	x	1
11	1	1	x	x
10	1	0	x	x

Phương trình logic của ngõ ra c:

Dạng chính tắc 1:

$$c = \bar{B} + A + C$$

Dạng chính tắc 2:

$$c = C + \bar{B} + A$$

c

DC	00	01	11	10
BA				
00	1	1	x	1
01	1	1	x	1
11	1	1	x	x
10	0	1	x	x

Phương trình logic của ngõ ra d:

Dạng chính tắc 1:

$$d = D + B\bar{A} + \bar{C}\bar{A} + B\bar{C} + A\bar{B}C$$

Dạng chính tắc 2:

$$\begin{aligned} d &= (A + B + \bar{C})(\bar{A} + \bar{B} + \bar{C})(\bar{A} + B + C + D) \\ &= (\bar{C} + A\bar{B} + \bar{A}B)(\bar{A} + B + C + D) \\ &= (C + A \oplus B)(\bar{A} + B + C + D) \end{aligned}$$

d

DC	00	01	11	10
BA				
00	1	0	x	1
01	0	1	x	1
11	1	0	x	x
10	1	1	x	x

Phương trình logic của ngõ ra e:

Dạng chính tắc 1:

$$e = \bar{A}.B + \bar{C}\bar{A}$$

Dạng chính tắc 2:

$$e = \bar{A}(\bar{C} + B) = \bar{A}\bar{C} + \bar{A}.B$$

e

DC	00	01	11	10
BA				
00	1	0	x	1
01	0	0	x	0
11	0	0	x	x
10	1	1	x	x

Phương trình logic của ngõ ra f:

Dạng chính tắc 1:

$$f = D + C\bar{B} + \bar{B}\bar{A} + C\bar{A}$$

Dạng chính tắc 2:

$$\begin{aligned} f &= (\bar{B} + \bar{A})(D + C + \bar{A})(C + \bar{B}) \\ &= D + \bar{B}C + \bar{A}C + \bar{A}\bar{B} \end{aligned}$$

f BA		DC			
		00	01	11	10
00		1	1	x	1
01		0	1	x	1
11		0	0	x	x
10		0	1	x	x

Phương trình logic của ngõ ra g:

Dạng chính tắc 1:

$$g = D + C\bar{B} + B\bar{A} + B\bar{C}$$

Dạng chính tắc 2:

$$g = (\bar{C} + \bar{B} + \bar{A})(B + C + D)$$

g BA		DC			
		00	01	11	10
00		0	1	x	1
01		0	1	x	1
11		1	0	x	x
10		1	1	x	x

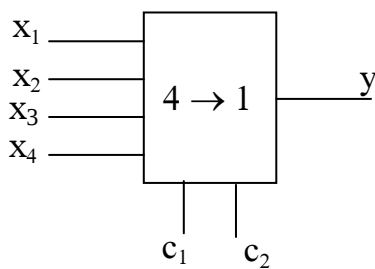
4.3. MẠCH CHỌN KÊNH - PHÂN ĐƯỜNG

4.3.1. Đại cương

Mạch chọn kênh còn gọi là mạch hợp kênh (ghép kênh) là mạch có chức năng chọn lần lượt 1 trong N kênh vào để đưa đến ngõ ra duy nhất (ngõ ra duy nhất đó gọi là đường truyền chung). Do đó, mạch chọn kênh còn gọi là mạch chuyển dữ liệu song song ở ngõ vào thành dữ liệu nối tiếp ở ngõ ra, được gọi là **Multiplex** (viết tắt là **MUX**).

Mạch chọn kênh thực hiện chức năng ở đầu phát còn mạch phân đường thực hiện chức năng ở đầu thu. Mạch phân đường còn gọi là mạch tách kênh (phân kênh, giải đa hợp), mạch này có nhiệm vụ tách N nguồn dữ liệu khác nhau ở cùng một đầu vào để rẽ ra N ngõ ra khác nhau. Do đó, mạch phân đường còn gọi là mạch chuyển dữ liệu nối tiếp ở ngõ vào thành dữ liệu song song ở ngõ ra, được gọi là **Demultiplex** (viết tắt là **DEMUX**).

4.3.2. Mạch chọn kênh



Hình 4.23a. Mạch chọn kênh

Xét mạch chọn kênh đơn giản có 4 ngõ vào và 1 ngõ ra như hình 4.23a.

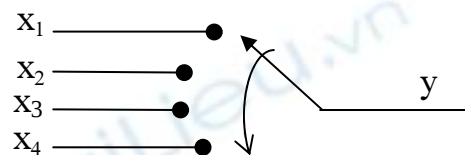
Trong đó:

+ x_1, x_2, x_3, x_4 : Các kênh dữ liệu vào.

+ Ngõ ra y : Đường truyền chung.

+ c_1, c_2 : Các ngõ vào điều khiển

Vậy mạch này giống như 1 chuyển mạch:



Hình 4.23b. Mạch chọn kênh

Để thay đổi lần lượt từ $x_1 \rightarrow x_4$ phải có điều khiển do đó đối với mạch chọn kênh để chọn lần lượt từ 1 trong 4 kênh vào cần có các ngõ vào điều khiển c_1, c_2 . Nếu có N kênh vào thì cần có n ngõ vào điều khiển thỏa mãn quan hệ: $N=2^n$. Nói cách khác: **Số tổ hợp ngõ vào điều khiển bằng số lượng các kênh vào.**

Việc chọn dữ liệu từ 1 trong 4 ngõ vào để đưa đến đường truyền chung là tùy thuộc vào tổ hợp tín hiệu điều khiển tác động đến hai ngõ vào điều khiển c_1, c_2 .

+ $c_1 = c_2 = 0 \Rightarrow y = x_1$ (x_1 được nối tới ngõ ra y).

+ $c_1 = 0, c_2 = 1 \Rightarrow y = x_2$ (x_2 được nối tới ngõ ra y).

+ $c_1 = 1, c_2 = 0 \Rightarrow y = x_3$ (x_3 được nối tới ngõ ra y).

+ $c_1 = 1, c_2 = 1 \Rightarrow y = x_4$ (x_4 được nối tới ngõ ra y).

Vậy tín hiệu điều khiển phải liên tục để dữ liệu từ các kênh được liên tục đưa đến ngõ ra. Từ đó ta lập được bảng trạng thái mô tả hoạt động của mạch chọn kênh.

c_1	c_2	y
0	0	x_1
0	1	x_2
1	0	x_3
1	1	x_4